



毛志明

求职意向：数字 IC 设计/验证

个人信息

- 生日：1997.08
- 籍贯：江西省抚州市
- 电话：15279419973
- 邮箱：815905880@qq.com
- 政治面貌：中共党员

技能证书

- 全国计算机等级考试二级
- 英语四六级

荣誉奖项

- 研究生学业一等奖学金，优秀共产党员
- 本科三等奖学金三次，一等奖学金一次，国家励志奖学金两次。

课余爱好

- 打篮球、乒乓球、游泳
- 看书，听音乐，看电影

教育背景

2015.09 -- 2019.06 南昌航空大学 电子科学与技术专业 / 本科
2019.09 -- 2022.04 南京航空航天大学 集成电路工程专业 / 硕士

项目经历

● PCIE 转 PCI 桥芯片设计(中国电子科技第三十二研究所) 2019.9-2020.4

项目简介：按照摩尔定律，PCI 赶不上处理器发展速度，于是诞生了 PCIe 以适应越来越快的处理器。而为了兼容大量的 PCI 外设，PCIe 总线使用 PCIe-PCI 桥连接 PCI 低速设备，也就是该项目的初衷。

主要工作：使用 verilog 完成下行通路 PCI 协议 non-posted 事务代码的设计，并使用 vivado+questsim 联合仿真方式，完成了所设计部分的功能验证。

● 基于软件自测试的 RAM 自动在线测试（科研） 2020.5-2020.7

项目简介：在芯片测试过程中，运用处理器的指令集架构，编写 RAM 模块的测试程序。

主要工作：用 verilog 在 FPGA 上实现了 MIPS 处理器，并通过处理器运行存储在 ROM 中的测试代码（March C 算法）对 RAM 进行测试。

● FPGA 应用相关互连测试、诊断定位与容错（科研） 2020.9-至今

项目简介：通过对实现在 FPGA 上的设计所使用到的互连资源进行测试，以及后续对互连故障进行诊断定位，并利用 FPGA 结构的规整性对故障进行有效规避容错，从而使得用户定义的设计不受影响。

主要工作：测试互连时，对互连故障模型进行研究，再使用 Python 语言对电路设计的 edif 网表文件进行信息提取并对互连测试向量进行约束生成，最后再对电路网表文件进行修改，生成测试电路。检测到故障后，复用测试配置方法对故障进行定位，并实施相应的容错措施，使得设计不受故障的影响。

学术成果

- 论文：基于静态随机存取存储器型 FPGA 的测试技术发展
- 论文：布尔可满足性 FPGA 应用相关互连测试配置生成方法（外审中）
- 专利：一种 SRAM 型 FPGA 故障在线容错方法（已受理）

校内实践

● 19 级第三专业支部委员会 党支部副书记 2019.9-至今

工作介绍：负责支部会议活动的组织以及会议资料的准备，并协助支部书记处理党支部相关事务等。

专业技能

- 数字 IC 前端、FPGA 设计经验，熟悉数字系统设计流程。
- 熟练使用 ISE、Vivado 等 EDA 工具。
- 掌握 Verilog、python 等语言。
- 了解 MIPS 处理器架构。
- 具有良好的代码设计风格。