

### 单选

1、假设时钟周期为  $T$ ，寄存器时钟端到数据输出端的延迟为  $T_{cq}$ ，时钟到第一级寄存器的时钟端的延迟为  $T_{cd1}$ ，时钟到第二级寄存器时钟端的延迟为  $T_{cd2}$ ，两级寄存器之间的组合逻辑延迟为  $T_{pd}$ ，寄存器的建立时间为  $T_{setup}$ ， $T_{pd}$  的最大延迟为( )

- A  $T_{pd} \leq T - T_{setup} - T_{cq} - (T_{cd2} - T_{cd1})$
- B  $T_{pd} \leq T - T_{setup} + T_{cq} - (T_{cd2} - T_{cd1})$
- C  $T_{pd} \leq T - T_{setup} + T_{cq} - (T_{cd1} - T_{cd2})$
- D  $T_{pd} \leq T - T_{setup} - T_{cq} - (T_{cd1} - T_{cd2})$

2、以下是对 Cache-主存-辅存三级存储系统中各级存储器的作用，速度，容量的描述，其中完全正确的是( )

- A 主存用于存放 CPU 正在执行的程序，速度慢，容量极大
- B Cache 用于存放 CPU 当前访问频繁的程序和数据，速度快，容量小
- C 加大 Cache 的容量可以使主存储能够存放更多的程序和数据
- D 辅存用于存放需要联机保存但暂不执行的程序和数据，速度快，容量极大

3、设一个 cycle 只能完成一个 (8bit\*8bit) 或一个 (17bit+17bit+17bit) 操作，那么设计 16bit\*16bit 乘法最少可以多少个 cycle 完成。( )

- A 1 个 cycle
- B 2 个 cycle
- C 3 个 cycle
- D 4 个 cycle

4、如果只使用 (2 选 1 MUX) 完成异或门逻辑，最少需要多少个 MUX( )。

- A 3 个
- B 4 个
- C 2 个
- D 1 个

5、对连续信号进行均匀采样时，采样频率是  $\Omega_s$ ，信号最高截止频率为  $\Omega_c$ ，折叠频率是( )

- A  $\Omega_c/2$
- B  $2\Omega_c$
- C  $2\Omega_s$
- D  $\Omega_s/2$

6、逻辑表达式  $A+BC=( )$

- A  $AB$
- B  $(A+B)(A+C)$
- C  $B+C$
- D  $A+C$

7、某寄存器的地址为  $addr$ ，现在要求将此寄存器的值取反，下列正确的 C 语言描述是：( )

- A `(unsigned int **)(addr) = - (volatile unsigned int *)(addr)`
- B `*(volatile unsigned int *)(addr) = - (*(volatile unsigned int *)(addr))`
- C `(volatile unsigned int *) (addr) = - (*(volatile unsigned int *) (addr))`
- D `(volatile unsigned int *) (addr) = - (volatile unsigned int *) (addr)`

8、关于网表仿真的描述正确的是：( )

- A 为了保证芯片的正常工作，即使在时间和资源紧张的情况下，也需要将所有 RTL 仿真用例都进行网表仿真并且确保通过
- B 网表仿真的速度比 RTL 仿真的速度更快
- C 网表仿真不能发现实现约束的问题
- D 网表仿真可以发现电路设计中的异步问题

9、在芯片制造中，工艺结点分为 28nm，12nm，7nm 等，其中这些 28，12，7 的含义是指：( )

- A 沟道深度
- B 栅极宽度
- C 器件的高度
- D 走线的间距

10、关于数字通信的特点，下面描述不正确的是( )

- A 抗干扰能力强，且噪声不积累
- B 易于集成，使通信设备微型化
- C 易于加密，保密性好

D 比模拟通信占据更窄的系统频带，系统设备简单，对同步要求更低

11、某集成电路芯片，其最大输出低电平  $V_{OL\_max}=0.1V$ ，最大输入低电平  $V_{IL\_max}=1.5V$ ，最小输出高电平  $V_{OH\_max}=4.9V$ ，最小输入高电平  $V_{IH\_max}=3.5V$ ，则其低电平噪声容限  $V_{NL}=( )$

- A 1.4V      B 1.6V      C 2.0V      D 1.2V

12、以下哪些电路可以设置 False\_path( )

- A 异步复位      B 异步电路      C 模拟和数字电路接口      D 不同频率之间的电路

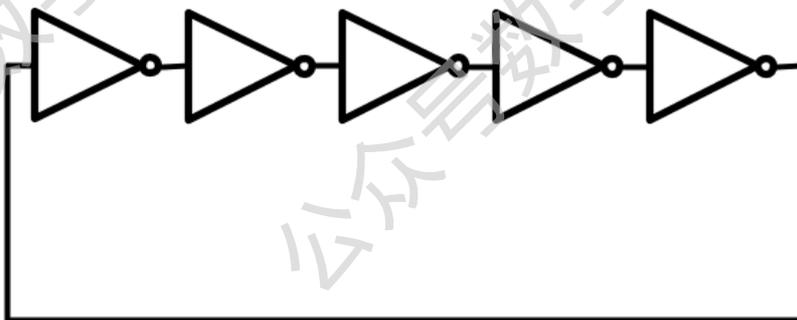
13、从奈奎斯特采样定理得出，要使实信号采样后能够不失真还原，采样频率  $f$  与信号最高频率  $f_s$  的关系是：( )

- A  $f$  大于等于  $2f_s$       B  $f$  小于等于  $2f_s$       C  $f$  大于等于  $f_s$       D  $f$  小于等于  $f_s$

14、以下哪种异常可以用逻辑分析仪测试( )

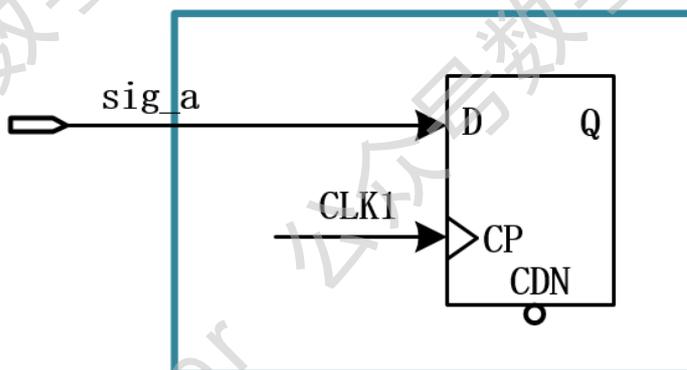
- A 信号间串扰过大      B 6 个信号的异常组合  
C 信号占空比超标      D 信号上升沿缓慢

15、下图所示环形振荡器，单个反相器延时为  $3\mu s$ ，稳定震荡后，输出的周期信号频率为多少？( )



- A  $60\mu s$       B  $15\mu s$       C  $20\mu s$       D  $30\mu s$

16、如下图所示，当 CLK1 为 100MHz 时，约束 `set_input_delay -clocks CLK1 -max 5 sig_a`，如果 CLK1 变成 50MHz，需要保证的约束效果不变，此时 `input_delay` 应该设置为多少？( )



- A 15ns      B 20ns      C 5ns      D 10ns

17、下列说法正确的是：( )

- A Altera 的 MAX7000 系列属于 FPGA 结构

- B FPGA 全称为复杂可编程门阵列
- C 基于 SRAM 的 FPGA 器件，每次上电之后必须重新进行配置
- D FPGA 是基于乘积项结构的可编程逻辑器件

18、在数字电路设计中，要求模块设计中保持寄存器输入输出的好处( )  
A 没有好处    B 降低亚稳态概率    C 提高仿真速度    D 利于时序收敛

19、下列关于代码覆盖率描述错误的是( )  
A 代码覆盖率包括条件覆盖率  
B 代码覆盖率达到百分之一百仍然可能有 bug  
C 代码覆盖率包括功能覆盖率  
D 代码覆盖率包括语句覆盖率

20、在 UVM 和 SystemVerilog 基础知识的描述错误的是：( )  
A 当仿真命令行中出现+UVM\_VERBOSITY=MEDIUM 时`uvm\_info("Exam","DJI 2019",UVM\_LOW)对应的 message 不会打印出来  
B sequence 中定义了 dmac 变量，此 sequence 的`uvm\_do\_with(tr,{tr.dmac==dmac;})语句中的约束不起作用  
C build\_phase 用于创建 component 而且是 top down 执行的  
D 如果某个操作消耗仿真时间，那这个操作不能直接定义在 function 中

### 多选

1、以下哪些手段可以降低 SRAM 的动态功耗( )。  
A 不访问 SRAM 时关闭时钟    B 不访问 SRAM 时地址线不翻转  
C 不访问 SRAM 时写数据线不翻转    D 不访问 SRAM 时，将其 Power down

2、判断电路中是否存在竞争冒险的方法有哪些？( )  
A 观察法    B 实验法    C 代数法    D 卡诺图法

3、以下哪些是典型 FPGA 器件内部的常用资源：( )。  
A DRAM    B LUT    C 时钟网络    D 寄存器

4、以下哪些活动是属于 DFT 的内容( )  
A MBIST    B AC SCAN    C DC SCAN    D Boundry SCAN

5、以下关于 Latch 与 Flip-Flop 特性描述正确的是：( )。  
A Latch 与 Flip-Flop 都属于时序逻辑  
B Latch 无时钟输入  
C Flip-Flop 只会在时钟触发沿采样当前输入产生输出  
D Latch 输出可能产生毛刺

6、随着 IC 电路设计工艺的进步，漏电功耗占比越来越大，不考虑温漂的影响，以下哪些技术能够用于降低漏电功耗？( )  
A power gating (电源门控)    B DVFS (动态电压频率调整)  
C DFS (动态频率调整)    D clock gating (时钟门控)

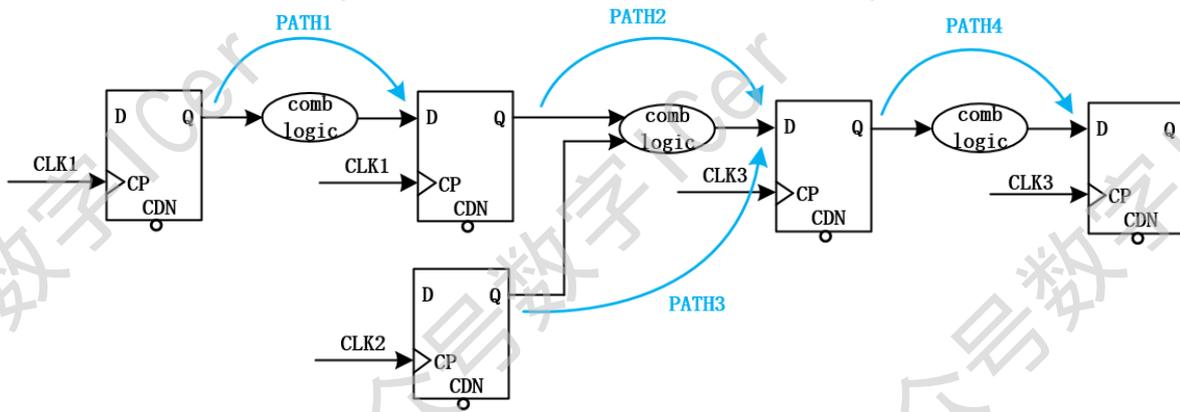
7、下面电路亚稳态描述不正确的是：( )  
A 可以正常工作的数字电路芯片中一定不存在亚稳态；  
B 亚稳态不存在于实际电路中，只是仿真的一种现象；

- C 亚稳态不能被消除，只能减小发生概率；
- D 增加同步拍数可以降低亚稳态发生的概率。

8、在芯片中某数字 block 支持单独上下电，那么下列说法正确的是：( )

- A 此 block 下电时，需要依次关闭 clock，使能 isolation cell，使能复位信号，控制 power gating 使 block 下电；
- B 此 block 需要在输入端加入 isolation cell；
- C 此 block 需要在输出端加入 level shift；
- D 此 block 重新上电时，需要等到模块完成上电后才能撤销 isolation。

9、根据约束关系 `set_clock_groups -async -group {CLK1 CLK3}{CLK2}`，下图哪些路径会进行时序检查( )



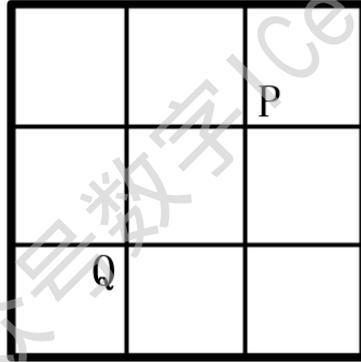
- A Path4
- B Path2
- C Path3
- D Path1

10、一款芯片含有 CPU（包含 Cache、MMU），DDR 控制器，BOOTROM。此芯片启动时，初始化代码在跳到 main 函数之前，通常会执行哪些操作？( )

- A 初始化 stack 指针寄存器
- B Reset Entry 埋入跳转指令或者跳转地址
- C 对 MMU 以及 Cache 进行配置
- D 对 DDR 进行初始化

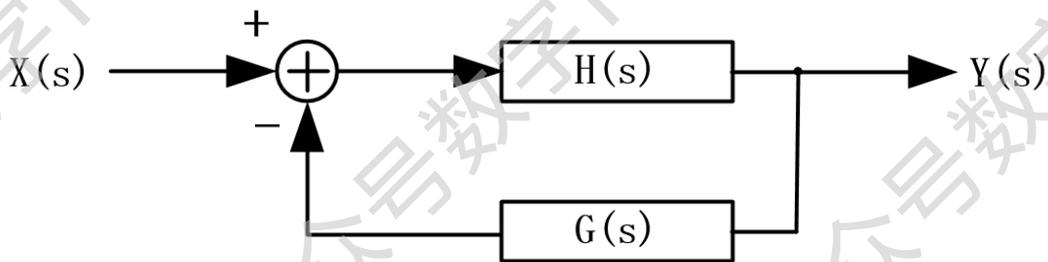
**填空题**

- 1、芯片管脚中，有些控制信号为了过滤输入信号的噪声，需要使用从高到低和从低到高有不同阈值的门电路来保证芯片的正常功能，具有此功能的门电路是( )。
- 2、典型的 5 级流水线 RSIC 结构中，5 级流水线的功能分别是取指、( )、( )、( )、写回。
- 3、如下九宫格，每个小段相交，且电阻为 R，则 P，Q 两点间的电阻为( )。



4、用正则表达式“\s”(<“>”)(注：双引号中为正则表达式，不包括双引号)来匹配字符“<html><head><tilte>”，匹配的结果为( )。

5、请写出下图所示 X(s)到 Y(s)的传递函数， $Y(s)/X(s)=( )$ 。



### 问答题

1、FPGA 相对于 ASIC，优势时灵活可编程，不足是可实现的最高频率有限。请介绍一下在 FPGA 开发中典型的时序优化方法。

2、设计一个电路，使用时序逻辑对一个单 bit 信号进行毛刺滤除操作。高电平或者低电平宽度小于 4 个时钟周期的为毛刺。用 Verilog 或者 VHDL 写出代码。

3、用 systemVerilog 的 constraint 语句实现以下随机激励：

数组变量 a(4 个元素，每个成员都是 6bit 有符号数)和 mode(2bit)均为随机变量，约束如下：

(1) 数组 a 的每个元素只能在[-16,16]的范围取值。(请使用 16 进制有符号数表达该取值范围)

(2) mode=2'b00 时，数组 a 的所有成员之和等于 8。

(3) mode 为其他值时，数组 a 的成员 a[2]值最大。

请在如下代码框架下，各个约束对应的代码

```
rand bit Signed[5:0] a[4];
```

```
rand bit [1:0] mode;
```

```
constraint reasonable_a{
```

```
    //填入约束 (1) 的代码
```

```
}
```

```
constraint valid_a{
```

```
if(mode == 2'b00)
    //填入约束 (2) 对应的代码
else
    //填入约束 (3) 对应的代码
}
```