

单选部分

1、CISC 的全称是什么( )。

- A 精简指令系统计算机                      B 复杂指令系统控制器  
C 精简指令系统控制器                      D 复杂指令系统计算机

2、以下说法正确的是( )。

- A 时钟的边沿速率越快越好  
B 采样用的时钟信号采样沿不能出现回沟、台阶  
C 数据信号要求边沿一定要单调，不能出现任何回沟和台阶  
D 数据信号只关注高低电平值，和高低电平数据有效宽度关系不大

3、下列定义不正确的是( )。

- A `int *p, i;`              B `int i, *p=i;`              C `int i, *p;`              D `int *p=&i, i;`

4、十进制的 2019，用十六进制表示最少需要几位数( )。

- A 4                      B 3                      C 2                      D 8

5、在函数  $F=AB+CD$  的真值表中， $F=1$  的状态有多少个( )。

- A 4                      B 6                      C 7                      D 2

6、下面器件中，( )是易失行存储器。

- A EPROM              B DRAM              C PROM              D FLASH

7、一个八位二进制减法计数器，初始状态为 00000000，问经过 268 个输入脉冲后，此计数器的状态为( )。

- A 11110100              B 11110010              C 11110011              D 11001111

8、C 语言中，实型常数是按( )处理。(华为硬件逻辑实习岗)

- A double              B long double              C 其他都不对              D float

9、通常，商业等级 (Commercial) 的 FPGA 器件结温 (Junction Temperature) 范围是( )。

- A  $-25^{\circ}\text{C}\sim+85^{\circ}\text{C}$               B  $0^{\circ}\text{C}\sim+100^{\circ}\text{C}$               C  $-25^{\circ}\text{C}\sim+100^{\circ}\text{C}$               D  $0^{\circ}\text{C}\sim+85^{\circ}\text{C}$

10、关于单 bit 慢速信号异步同步化的方法以下最合适的方法是( )。

- A 使用规范的多周期路径方式进行同步  
B 使用异步 FIFO 对数据或控制信号进行同步  
C 使用格雷码计数器  
D 在输出时钟域，由寄存器信号输出，去除额外的组合逻辑；在接收时钟域，需要双触发器结构进行同步

11、常用的工频陷波电路属于哪种类型的滤波电路( )。

- A HPF                      B BPF                      C BEF                      D LPF

12、下列对于逻辑最小项的描述错误的是( )。

- A 最小项中每个变量只能以原变量或反变量的形式出现一次
- B  $n$  变量有  $2^n$  项最小项
- C 两个不同的最小项之积为 1
- D 全部最小项之和为 1

13、在 Verilog HDL 中，下面哪个是在 RTL 代码中不可以直接使用的运算符( )。

- A “|”
- B “/”
- C “+”
- D “^”

14、关于三目运算符：a?b:c，说法正确的是( )。

- A a 为 1 时，执行 b 语句
- B a 为 1 时，执行 c 语句

15、TTL 电路的电源电压为( )。

- A 1.8V
- B 3.3V
- C 5V
- D 1.2V

16、对于高速信号的描述，下列说法正确的有( )。

- A 频率低的信号即为低速信号
- B 区分高速信号主要看它的上升沿 ( $T_r$ )、下降沿 ( $T_f$ ) 的时间的长短
- C 一般上升沿 ( $T_r$ )、下降沿 ( $T_f$ ) 的时间小于  $6 \sim 4$  倍的信号延时为高速信号
- D 频率高的信号即为高速信号

17、报文长度为 65bytes，FPGA 处理位宽为 64bit，采用 250M 工作时钟，包处理性能为( )M。

- A 250
- B 250 除以 9
- C 250 除以 65
- D 250 除以 64

18、TTL 的电源电平是多少( )。

- A 3.3V
- B 5V
- C 220V
- D 1.5V

19、施密特触发器的主要作用不包括( )。

- A 波形整型，如将正弦波变成矩形波
- B 用在多谐振荡器中
- C 无失真的放大输入的信号
- D 抗干扰，可以抑制阈值附近信号跳变引起的输出跳变

20、下面哪个不是 Verilog 保留字( )。

- A for
- B parameter
- C container
- D force

21、传输延迟将随扇出的增大而( )，随扇入的增大而( )。

- A 增大，减小
- B 减小，增大
- C 减小，减小
- D 增大，增大

22、设  $int\ n=2$ ,  $*p=&n$ ,  $*q=p$ ; 则以下赋值语句为非法的是( )。

- A  $*p=*q$
- B  $n=*q$
- C  $p=n$
- D  $p=q$

23、某放大电路在负载开路时的输出电压为 4V，接入 12k 欧姆的负载电阻后，输出电压为 3V，这说明放大电路的输出电阻为( )。

- A 2k
- B 4k
- C 12k
- D 10k

24、下面关于 \$display, \$strobe, \$monitor 的区别描述正确的是( )。

- A \$strobe 直接立刻输出, \$monitor 是等稳定后输出, \$display 是发生变化时输出
- B \$strobe 直接立刻输出, \$display 是等稳定后输出, \$monitor 是发生变化时输出
- C \$display 直接立刻输出, \$strobe 是等稳定后输出, \$monitor 是发生变化时输出
- D \$display 直接立刻输出, \$display 是等稳定后输出, \$strobe 是发生变化时输出

25、下面 4 项关于奇偶校验的描述正确的是( )。

- A 奇偶校验可以避免误码的发生
- B 奇偶校验一定可以检测错误
- C 奇偶校验使用 1bit 校验位
- D 奇偶校验可以检测多 bit 误码

26、在 Verilog HDL 中对于 initial 语句, 说法错误的是( )。

- A 在模拟的 0 时刻开始执行
- B 这是一种过程结构语句
- C 可用于给实际电路赋初值
- D 在仿真过程中只执行一次

27、下列哪种时钟类型一般推荐使用( )。

- A 门控时钟
- B 多级逻辑时钟
- C 行波时钟
- D 全局时钟

28、流水线技术可以( )。

- A 提高数据利用率
- B 降低运行功耗
- C 减少芯片面积
- D 减少总的程序执行时间

29、main(){

```
int a=5;
int b=3;
int c;
c=a-b>>2;
Printf("result=%d", c);
}
```

上面代码的打印输出分别为( )。

- A -7
- B 2
- C -4
- D 4

30、在 Verilog HDL 中, 关于操作符的优先级描述正确的是( )。

- A 小于操作符优先级高于与 (&) 操作符
- B 逻辑与 (&&) 操作符优先级高于逻辑或 (||) 操作符
- C 按位异或 (^) 操作符优先级高于一元逻辑非 (!) 操作符
- D 一元逻辑非操作符优先级高于右移操作符

31、用 8421 码表示的十进制数 45, 可以写成( )。

- A [101101]BCD
- B [01000101]BCD
- C [101101]2
- D 45

32、二输入与非门当输入变化为( )时, 输出可能有竞争冒险。

- A 00→10
- B 10→11
- C 11→01
- D 01→10

33、以下哪个是 Verilog 中不可综合的语句( )。

A wait                      B case                      C assign                      D generate

- 34、下面关于异步信号同步化描述正确的是( )。
- A 在跨时钟域之间不要使用组合逻辑，防止出现亚稳态
  - B RAM 端口信号如果已经做了多时钟周期约束，则不需要再考虑异步信号同步化处理
  - C 多 bit 信号同步化可以使用可靠的握手电路、格雷码或 FIFO 实现
  - D 在跨时钟域同步化处理时，使用两级寄存器结构可以完全消除亚稳态
- 35、请判断以下哪个电路不是时序逻辑电路( )。
- A 寄存器                      B 译码器                      C 触发器                      D 计数器
- 36、FPGA 器件实现逻辑运算的基本原理是( )。
- A 采用最小项相加的电路形式实现逻辑运算
  - B 采用与非门电路实现逻辑运算
  - C 采用异或门电路实现逻辑运算
  - D 采用查找表的方式实现逻辑运算
- 37、与门的两个输入端口从 00 变为 01 时，输出值变化为( )。
- A 0 保持                      B 1 到 0                      C 0 到 1                      D 1 保持
- 38、有符号数 105 的原码( )、反码( )、补码( )。
- A 0110\_1001、1001\_0110、0110\_1010
  - B 0110\_1001、0110\_1001、0110\_1010
  - C 0110\_1001、1001\_0110、0110\_1001
  - D 0110\_1001、0110\_1001、0110\_1001
- 39、全加器比半加器多了( )。
- A 进位输出                      B 加和                      C 被加数                      D 进位输入
- 40、一个反相器，它测出的转换时间为  $t_{LH}=7ns$  和  $t_{HL}=3ns$ ，最大信号频率为( )。
- A 10MHz                      B 50MHz                      C 500MHz                      D 100MHz

### 多选部分

- 1、以下关于存储器的描述正确的是( )。
- A RAM 在断电后信息不会丢失，接通电源即可使用
  - B ROM 可以任意进行读写操作
  - C RAM 可以任意进行读写操作
  - D ROM 在断电后信息不会丢失，接通电源即可使用
- 2、全加器包含( )。
- A 被加数                      B 加和                      C 进位输出                      D 加数                      E 进位输入
- 3、以下属于 C 语言结构化程序的设计方法步骤为( )。
- A 逐步细化                      B 模块化设计                      C 结构化编码                      D 自顶向下

4、下面哪些措施对提高设计的频率有帮助( )。

- A 组合逻辑拆分
- B 减少不必要的寄存器复位
- C ram/fifo 输出寄存
- D 减少信号扇出数

5、下面关于 always 语句描述正确的是( )。

- A 组合逻辑 always 中敏感列表可以标明敏感变量，也可以用\*替代
- B 在时序逻辑语句块中非阻塞赋值和阻塞赋值都可以使用，没有本质差别
- C 阻塞赋值按照顺序执行，非阻塞赋值并发执行
- D 时序逻辑 always 中敏感列表必须标明时钟信号和复位信号（如果使用异步复位）