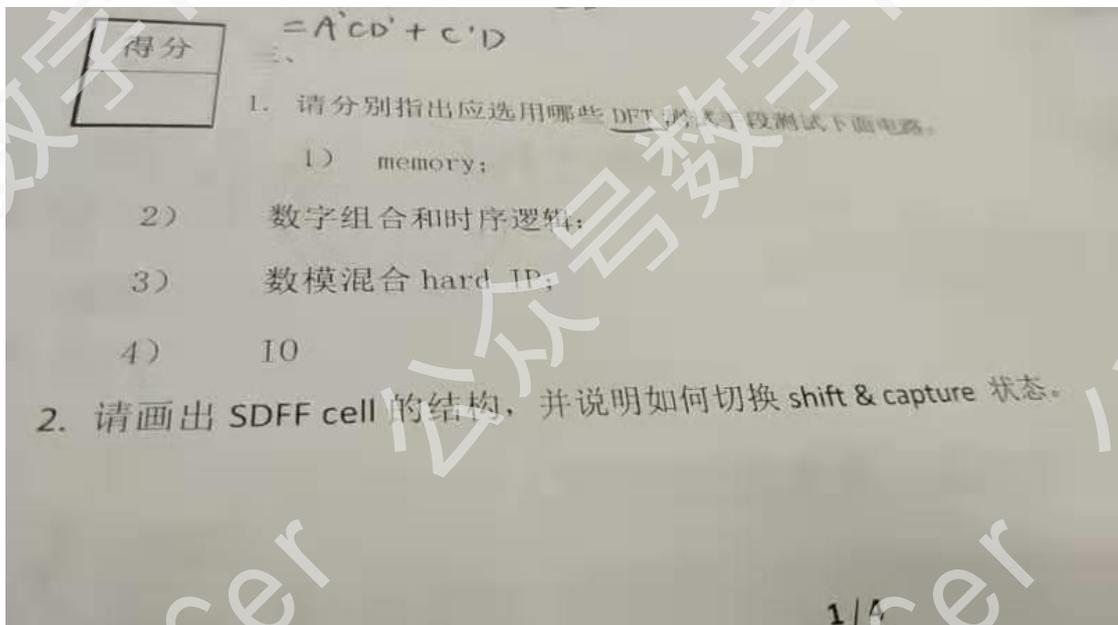


1. 用门电路实现 2bits 的加法器

2. 化简 $A'(CD+C'D)+BC'D+AC'D$



3.

4. 建立时间和保持时间是什么意思? setup time 和 hold time 的表达式? 如果 setup 和 hold time 不满足 怎么解决?

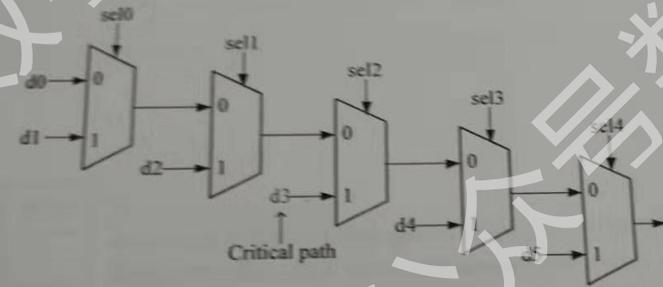
5. 求 9 个 data 的中位数, 需要几个比较器和寄存器? 最好设计一个特色的方案, 要么最快, 要么资源最少, 或者关键路径最短?

6. 智力题

Part 1 (数字前端必做, 通信方向选做)

得分

一、一个五级的 Mux, 如下图若是第三级数据信号为关键信号(即其延迟最大), 如何改善 timing? 请画图即可:



得分

二、

有十进制数运算如下, 请用 4 位宽的 3 进制补码数据重写下式的运算
 $19 - 5 = 14$

得分

三、
假设现在要用 Design Compiler 对一个 ip 进行逻辑综合,该 ip 有一个输入时钟,一个全局同步复位信号,输入输出端口都是与该输入时钟同步的信号。
请给出综合脚本对该 IP 进行逻辑综合,假如根据你的综合脚本得到的综合结果不满足需求,请问有什么优化改进方法?

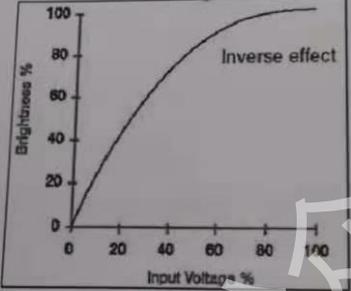
得分

四、
两个不同 clock domain 的 scan chain 拼接成一条长的 scan chain,下面例子是从 CLKA domain chain(全部是 rise edge scan cell)的最后一个 scan cell 连接到 CLKB domain(全部是 falling edge scan cell)的第 1 个 scan cell。请问,这种拼接模式是否有问题,如果有问题,请说明原因并如何修改,如有需要请画出示意图。



得分

五、
生活中常见的电视中的参数 gamma 补偿曲线,这里要求大家设计 16 段的 gamma 映射曲线的设计:输入 Yin[9:0]输出 gamma 结果 Y[9:0],要求用只用 16 段来进行插值,请使用两种方法:一种要求面积最省(精度略差),一种要求是精度最高(开销略大);这两种方案都可以用示意图或 verilog 或 VHDL 实现;



得分

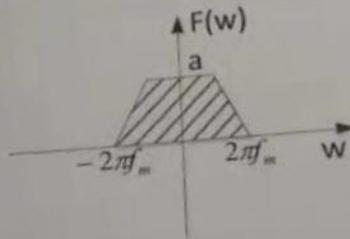
100 个人回答五道试题，有 81 人答对第一题，91 人答对第二题，85 人答对第三题，79 人答对第四题，74 人答对第五题，答对三道题或三道以上的人算及格，那么在这 100 人中，至少有多少人及格。

Part 2 (通信方向必做，数字前端选做)

得分

七、

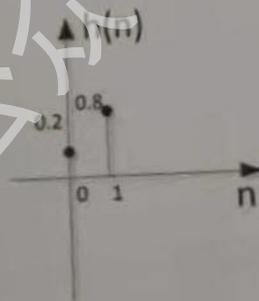
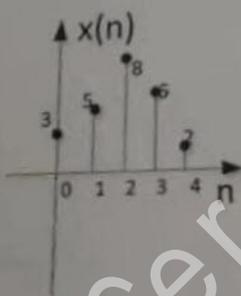
1. 列出信号 $f(t)$ 的傅里叶变换公式；
2. 分别列出 $\cos(\omega_0 t)$ 和 $\sin(\omega_0 t)$ 的傅里叶变换；
3. 已知 $f(t)$ 的频谱如下图所示，分别画出 $f(t) \cdot \cos(\omega_0 t)$ 和 $f(t) \cdot \sin(\omega_0 t)$ 的频谱；



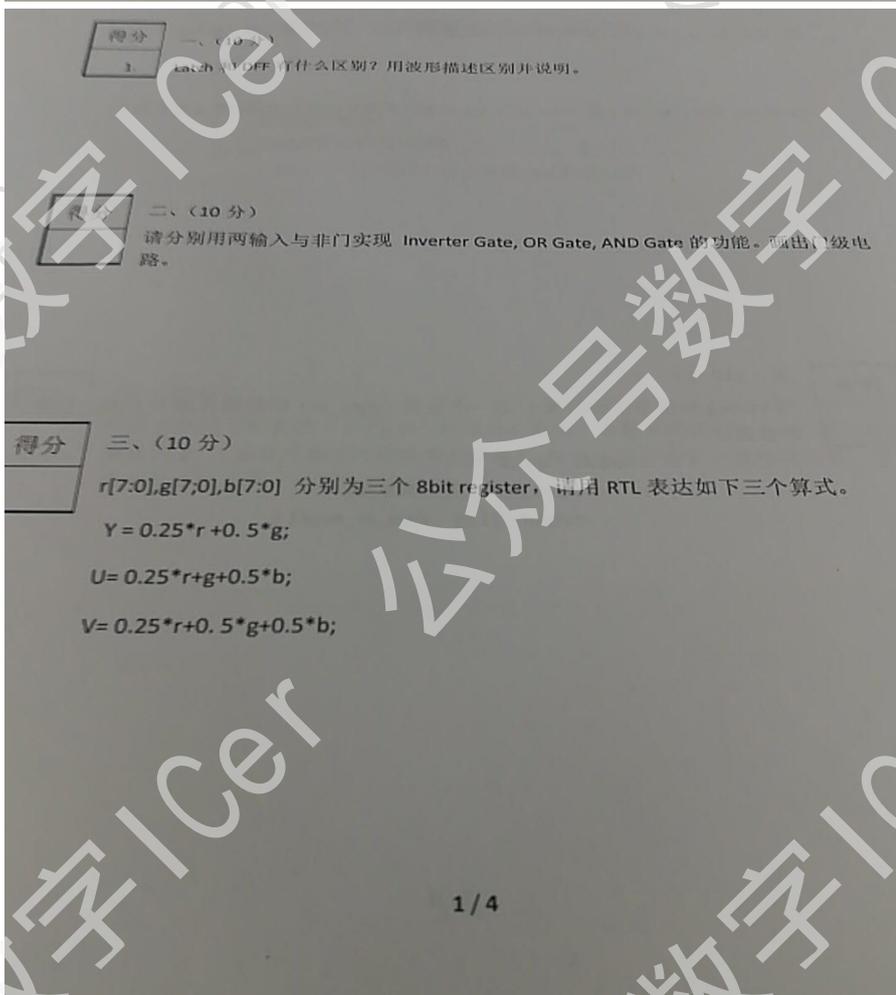
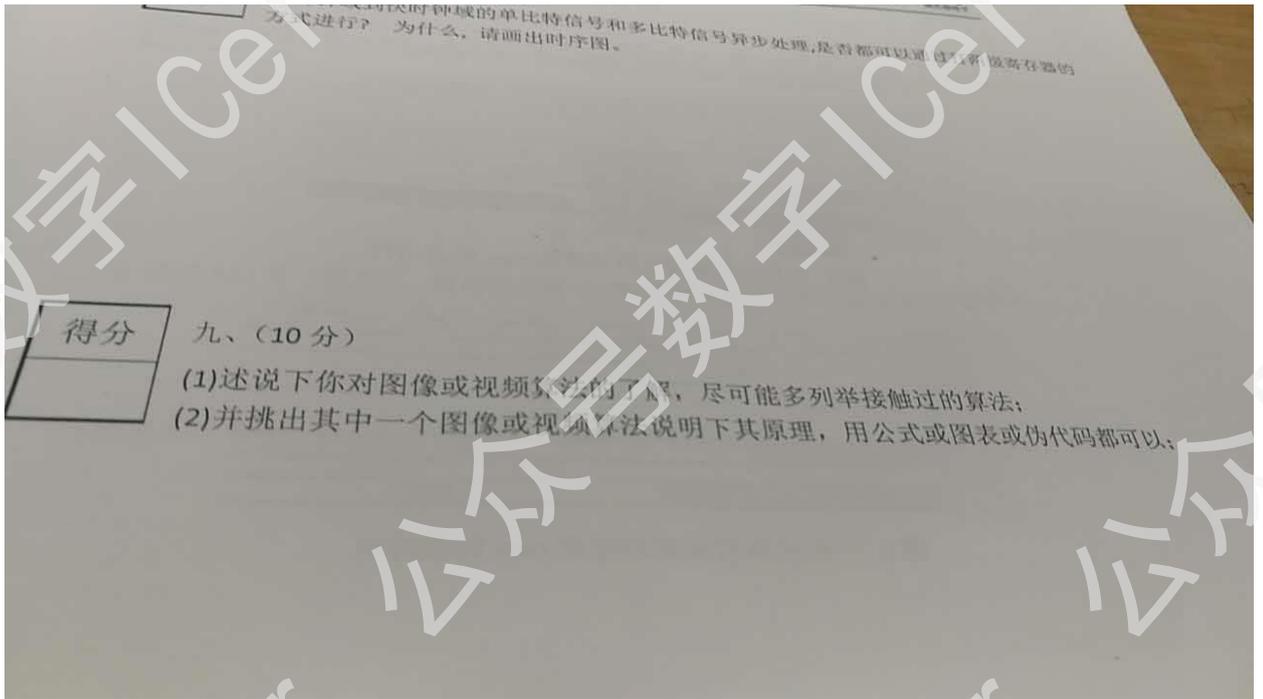
得分

八、

已知序列 $x(n]$ 和 $h[n]$ 如下图所示：



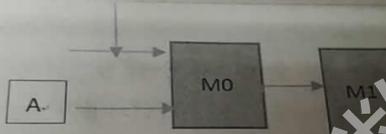
1. 列出序列 $x[n]$ 与 $h[n]$ 的卷积运算公式，并求解 $x[n]$ 与 $h[n]$ 的卷积结果；
2. 列出序列 $x[n]$ 的自相关运算公式，并求解 $x[n]$ 的自相关结果；



2018 电子信息类 电路分析

得分 四、(10分)

2. 假设有一个输入 A 序列为 $1, 1, 2, 1, 3, 1, 4, \dots$, 想要得到 $1, 1, 1+2, 1+2+3, 1+2+3+4, \dots$



(1) 假设 M1 是一级 DFF。请问图中框中 M0 部分需要什么样的逻辑电路才能得到 B?

(2) 如果 M0 不变, M1 是 2 级 DFF。请问 M1 后面还需要什么样的逻辑电路才能得到 B?

得分 五、(10分)

用 verilog 实现下面的运算: 已知一个数据 (data_in) 的数值范围为 $1 \sim 43$, 运算并输出其除 3 的余数。

```
module mod3 (  
    input  [5:0] data_in,  
    output [1:0] data_in_mod3);
```

得分 六、(15分)

不具有读数据保持功能的 ram 的读时序如下图 1 所示, 具有读数据保持功能的 ram 的读时序如下图 2 所示, 请设计逻辑使得不具有读数据保持功能的 ram 与具有读数据保持功能的 ram 有相同的读时序。(使用 verilog 作为数据位为 16bit)



图 1 不具有读数据保持功能的 ram 的读时序



图 2 具有读数据保持功能的 ram 的读时序

得分
2

四、(10分)
假设有一个输入 A 序列为 11,12,13,14... 想要得到 11,11+(12-11)+(13-11)+(14-11) 这样的输出 B 序列



- (1) 假设 M1 是一级 DFF，请问图中框中 M0 部分需要什么样的逻辑电路才能得到 B?
- (2) 如果 M0 不变，M1 是 2 级 DFF，请问 M1 后面还需要什么样的逻辑电路才能得到 B?

得分

五、(10分)
用 verilog 实现下面的运算:已知一个数据 (data_in) 的数值范围为 1~43，运算并输出其除以 3 的余数。

```
module mod3 (  
    input [5:0] data_in,  
    output [1:0] data_in_mod3);
```