

EE 笔试/面试题目集合分类--IC 设计基础

1、我们公司的产品是集成电路，请描述一下你对集成电路的认识，列举一些与集成电路

相关的内容（如讲清楚模拟、数字、双极型、CMOS、MCU、RISC、CISC、DSP、ASIC、FPGA 等的概念）。（仕兰微面试题）

2、FPGA 和 ASIC 的概念，他们的区别。（未知）

答案：FPGA 是可编程 ASIC。

ASIC:专用集成电路，它是面向专门用途的电路，专门为一个用户设计和制造的。根据一个用户的特定要求，能以低研制成本，短、交货周期供货的全定制，半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比，它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点

模拟电路

1、基尔霍夫定理的内容是什么？（仕兰微电子）

2、平板电容公式($C = \epsilon S / 4 \pi kd$)。（未知）

3、最基本的如三极管曲线特性。（未知）

4、描述反馈电路的概念，列举他们的应用。（仕兰微电子）

5、负反馈种类（电压并联反馈，电流串联反馈，电压串联反馈和电流并联反馈）；负反馈的优点（降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用）（未知）

6、放大电路的频率补偿的目的是什么，有哪些方法？（仕兰微电子）

7、频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法。（未知）

8、给出一个查分运放，如何相位补偿，并画补偿后的波特图。（凹凸）

9、基本放大电路种类（电压放大器，电流放大器，互导放大器和互阻放大器），优缺点，特别是广泛采用差分结构的原因。（未知）

10、给出一差分电路，告诉其输出电压 $Y+$ 和 $Y-$ ，求共模分量和差模分量。（未知）

11、画差放的两个输入管。（凹凸）

12、画出由运放构成加法、减法、微分、积分运算的电路原理图。并画出一个晶体管级的运放电路。（仕兰微电子）

13、用运算放大器组成一个 10 倍的放大器。（未知）

14、给出一个简单电路，让你分析输出电压的特性（就是个积分电路），并求输出端某点的 rise/fall 时间。（Infineon 笔试试题）

15、电阻 R 和电容 C 串联，输入电压为 R 和 C 之间的电压，输出电压分别为 C 上电压和 R 上电

压，要求绘制这两种电路输入电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当 $RC < 16$ 、有源滤波器和无源滤波器的原理及区别？（新太硬件）

17、有一时域信号 $S = V_0 \sin(2\pi f_0 t) + V_1 \cos(2\pi f_1 t) + V_2 \sin(2\pi f_3 t + 90^\circ)$ ，当其通过低通、带通、高通滤波器后的信号表示方式。（未知）

18、选择电阻时要考虑什么？（东信笔试题）

19、在 CMOS 电路中，要有一个单管作为开关管精确传递模拟低电平，这个单管你会用 P 管

还是 N 管，为什么？（仕兰微电子）

20、给出多个 mos 管组成的电路求 5 个点的电压。（Infineon 笔试试题）

21、电压源、电流源是集成电路中经常用到的模块，请画出你知道的线路结构，简单描述其优缺点。（仕兰微电子）

- 22、画电流偏置的产生电路，并解释。(凹凸)
- 23、史密斯特电路,求回差电压。(华为面试题)
- 24、晶体振荡器,好像是给出振荡频率让你求周期(应该是单片机的,12 分之一周期....) (华为面试题)
- 25、LC 正弦波振荡器有哪几种三点式振荡电路, 分别画出其原理图。(仕兰微电子)
- 26、VCO 是什么,什么参数(压控振荡器?) (华为面试题)
- 27、锁相环有哪几部分组成? (仕兰微电子)
- 28、锁相环电路组成, 振荡器(比如用 D 触发器如何搭)。(未知)
- 29、求锁相环的输出频率, 给了一个锁相环的结构图。(未知)
- 30、如果公司做高频电子的, 可能还要 RF 知识, 调频, 鉴频鉴相之类, 不一一列举。(未知)
- 31、一电源和一段传输线相连(长度为 L,传输时间为 T), 画出终端处波形, 考虑传输线无损耗。给出电源电压波形图, 要求绘制终端波形图。(未知)
- 32、微波电路的匹配电阻。(未知)
- 33、DAC 和 ADC 的实现各有哪些方法? (仕兰微电子)
- 34、A/D 电路组成、工作原理。(未知)
- 35、实际工作所需要的一些技术知识(面试容易问到)。如电路的低功耗, 稳定, 高速如何做到, 调运放, 布版图注意的地方等等一般会对简历上你所写做过的东西具体问, 肯定会问得很细(所以别把什么都写上, 精通之类的词也别用太多了), 这个东西各个人就不一样了, 不好说什么了。(未知)

数字电路

- 1、同步电路和异步电路的区别是什么? (仕兰微电子)
- 2、什么是同步逻辑和异步逻辑? (汉王笔试)
同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。
- 3、什么是"线与"逻辑, 要实现它, 在硬件特性上有什么具体要求? (汉王笔试)
线与与逻辑是两个输出信号相连可以实现与的功能。在硬件上, 要用 oc 门来实现, 由于不用 oc 门可能使灌电流过大, 而烧坏逻辑门。 同时在输出端口应加一个上拉电阻。
- 4、什么是 Setup 和 Holdup 时间? (汉王笔试)
- 5、setup 和 holdup 时间,区别。(南山之桥)
- 6、解释 setup time 和 hold time 的定义和在时钟信号延迟时的变化。(未知)
- 7、解释 setup 和 hold time violation, 画图说明, 并说明解决办法。(威盛 VIA2003.11.06 上海笔试试题)

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前, 数据稳定不变的时间。输入信号应提前时钟上升沿(如上升沿有效) T 时间到达芯片, 这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器, 只有在下一个时钟上升沿, 数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后, 数据稳定不变的时间。如果 hold time 不够, 数据同样不能被打入触发器。建立时间(Setup Time)和保持时间(Hold time)。建立时间是指在时钟边沿前, 数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果不满足建立和保持时间的话, 那么 DFF 将不能正确地采样到数据, 将会出现

metastability 的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间,

那么超过量就分别被称为建立时间裕量和保持时间裕量。

8、说说对数字逻辑中的竞争和冒险的理解,并举例说明竞争和冒险怎样消除。(仕兰微电子)

9、什么是竞争与冒险现象?怎样判断?如何消除?(汉王笔试)

在组合逻辑中,由于门的输入信号通路中经过了不同的延时,导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决

方法:一是添加布尔式的消去项,二是在芯片外部加电容。

10、你知道那些常用逻辑电平?TTL与COMS电平可以直接互连吗?(汉王笔试)

常用逻辑电平:12V, 5V, 3.3V; TTL和CMOS不可以直接互连,由于TTL是在0.3-3.6V之间,而CMOS则是有在12V的有在5V的。CMOS输出接到TTL是可以直接互连。TTL接CMOS需要在输出端口加一上拉电阻接到5V或者12V。

11、如何解决亚稳态。(飞利浦一大唐笔试)

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时,既无法预测该单元的输出电平,也无法预测何时输出才能稳定在某个正确的电平

上。在这个稳定期间,触发器输出一些中间级电平,或者可能处于振荡状态,并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

12、IC设计中同步复位与异步复位的区别。(南山之桥)

13、MOORE与MEELEY状态机的特征。(南山之桥)

14、多时域设计中,如何处理信号跨时域。(南山之桥)

15、给了reg的setup,hold时间,求中间组合逻辑的delay范围。(飞利浦一大唐笔试)

$Delay < period - setup - hold$

16、时钟周期为T,触发器D1的建立时间最大为 $T1_{max}$,最小为 $T1_{min}$ 。组合逻辑电路最大延迟为 $T2_{max}$,最小为 $T2_{min}$ 。问,触发器D2的建立时间 $T3$ 和保持时间应满足什么条件。(华为)

17、给出某个一般时序电路的图,有 $T_{setup}, T_{delay}, T_{ck} \rightarrow q$,还有clock的delay,写出决定最大时钟的因素,同时给出表达式。(威盛VIA 2003.11.06 上海笔试试题)

18、说说静态、动态时序模拟的优缺点。(威盛VIA 2003.11.06 上海笔试试题)

19、一个四级的Mux,其中第二级信号为关键信号 如何改善timing。(威盛VIA 2003.11.06 上海笔试试题)

20、给出一个门级的图,又给了各个门的传输延时,问关键路径是什么,还问给出输入,使得输出依赖于关键路径。(未知)

21、逻辑方面数字电路的卡诺图化简,时序(同步异步差异),触发器有几种(区别,优点),全加器等等。(未知)

22、卡诺图写出逻辑表达式。(威盛VIA 2003.11.06 上海笔试试题)

23、化简 $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$ 的和。(威盛)

24、please show the CMOS inverter schematic, layout and its cross section with P-well process. Plot its transfer curve ($V_{out}-V_{in}$) And also explain the operation region of PMOS and NMOS for each segment of the transfer curve? (威盛笔试题 circuit design-beijing-03.11.09)

25、To design a CMOS inverter with balance rise and fall time, please define the ration of channel width of PMOS and NMOS and explain?

26、为什么一个标准的倒相器中P管的宽长比要比N管的宽长比大?(仕兰微电子)

27、用mos管搭出一个二输入与非门。(扬智电子笔试)

28、please draw the transistor level schematic of a cmos 2 input AND gate and explain which input has faster response for output rising edge.(less delay time)。(威盛笔试题 circuit design-beijing-03.11.09)

29、画出 NOT,NAND,NOR 的符号,真值表,还有 transistor level 的电路。(Infineon 笔试)

30、画出 CMOS 的图,画出 tow-to-one mux gate。(威盛 VIA 2003.11.06 上海笔试试题)

31、用一个二选一 mux 和一个 inv 实现异或。(飞利浦一大唐笔试)

32、画出 $Y=A*B+C$ 的 cmos 电路图。(科广试题)

33、用逻辑门和 cmos 电路实现 $ab+cd$ 。(飞利浦一大唐笔试)

34、画出 CMOS 电路的晶体管级电路图,实现 $Y=A*B+C(D+E)$ 。(仕兰微电子)

35、利用 4 选 1 实现 $F(x,y,z)=xz+yz'$ 。(未知)

36、给一个表达式 $f=xxxx+xxxx+xxxxx+xxxx$ 用最少数量的与非门实现(实际上就是化简)。

37、给出一个简单的由多个 NOT,NAND,NOR 组成的原理图,根据输入波形画出各点波形。

(Infineon 笔试)

38、为了实现逻辑 $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$, 请选用以下逻辑中的一种,并说明为什么? 1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR *答案: NAND (未知)

39、用与非门等设计全加法器。(华为)

40、给出两个门电路让你分析异同。(华为)

41、用简单电路实现,当 A 为输入时,输出 B 波形为... (仕兰微电子)

42、A,B,C,D,E 进行投票,多数服从少数,输出是 F (也就是如果 A,B,C,D,E 中 1 的个数比 0 多,那么 F 输出为 1,否则 F 为 0),用与非门实现,输入数目没有限制。(未知)

43、用波形表示 D 触发器的功能。(扬智电子笔试)

44、用传输门和倒向器搭一个边沿触发器。(扬智电子笔试)

45、用逻辑门画出 D 触发器。(威盛 VIA 2003.11.06 上海笔试试题)

46、画出 DFF 的结构图,用 verilog 实现之。(威盛)

47、画出一一种 CMOS 的 D 锁存器的电路图和版图。(未知)

48、D 触发器和 D 锁存器的区别。(新太硬件面试)

49、简述 latch 和 flip-flop 的异同。(未知)

50、LATCH 和 DFF 的概念和区别。(未知)

51、latch 与 register 的区别,为什么现在多用 register.行为级描述中 latch 如何产生的。(南山之桥)

52、用 D 触发器做个二分频的电路.又问什么是状态图。(华为)

53、请画出用 D 触发器实现 2 倍分频的逻辑电路? (汉王笔试)

54、怎样用 D 触发器、与或非门组成二分频电路? (东信笔试)

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16 分频?

56、用 flip-flop 和 logic-gate 设计一个 1 位加法器,输入 carryin 和 current-stage, 输出 carryout 和 next-stage. (未知)

57、用 D 触发器做个 4 进制的计数。(华为)

58、实现 N 位 Johnson Counter,N=5。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的 7 进制循环计数器,15 进制的呢? (仕兰微电子)

- 60、数字电路设计当然必问 Verilog/VHDL, 如设计计数器。(未知)
- 61、BLOCKING NONBLOCKING 赋值的区别。(南山之桥)
- 65、请用 HDL 描述四位的全加法器、5 分频电路。(仕兰微电子)
- 66、用 VERILOG 或 VHDL 写一段代码, 实现 10 进制计数器。(未知)
- 67、用 VERILOG 或 VHDL 写一段代码, 实现消除一个 glitch。(未知)
- 68、一个状态机的题目用 verilog 实现 (不过这个状态机画的实在比较差, 很容易误解的)。(威盛 VIA 2003.11.06 上海笔试试题)
- 69、描述一个交通信号灯的设计。(仕兰微电子)
- 70、画状态机, 接受 1, 2, 5 分钱的卖报机, 每份报纸 5 分钱。(扬智电子笔试)
- 71、设计一个自动售货机系统, 卖 soda 水的, 只能投进三种硬币, 要正确的找回钱数。 (1) 画出 fsm (有限状态机); (2) 用 verilog 编程, 语法要符合 fpga 设计的要求。(未知)
- 72、设计一个自动饮料售卖机, 饮料 10 分钱, 硬币有 5 分和 10 分两种, 并考虑找零:
(1)
画出 fsm (有限状态机); (2) 用 verilog 编程, 语法要符合 fpga 设计的要求; (3) 设计工程中可使用的工具及设计大致过程。(未知)
- 73、画出可以检测 10010 串的状态图, 并 verilog 实现之。(威盛)
- 74、用 FSM 实现 101101 的序列检测模块。(南山之桥)
a 为输入端, b 为输出端, 如果 a 连续输入为 1101 则 b 输出为 1, 否则为 0。
例如 a: 0001100110110100100110
b: 000000000010010000000000
请画出 state machine: 请用 RTL 描述其 state machine。(未知)
- 78、sram, falsh memory, 及 dram 的区别? (新太硬件面试)
- 79、给出单管 DRAM 的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官 205 页图 9-14b), 问你有什么办法提高 refresh time, 总共有 5 个问题, 记不起来了。(降低温度, 增大电容存储容量) (Infineon 笔试)
- 81、名词:sram,ssram,sdram
名词 IRQ,BIOS,USB,VHDL,SDR
IRQ: Interrupt ReQuest
BIOS: Basic Input Output System
USB: Universal Serial Bus
VHDL: VHIC Hardware Description Language
SDR: Single Data Rate
压控振荡器的英文缩写(VCO)。
动态随机存储器的英文缩写(DRAM)。
名词解释, 无聊的外文缩写罢了, 比如 PCI、ECC、DDR、interrupt、pipeline、IRQ,BIOS,USB,VHDL,VLSI VCO(压控振荡器) RAM (动态随机存储器), FIR IIR DFT(离散傅立叶变换)或者是中文的, 比如: a.量化误差 b.直方图 c.白平衡

IC 设计基础 (流程、工艺、版图、器件)

- 1、我们公司的产品是集成电路, 请描述一下你对集成电路的认识, 列举一些与集成电路相关的内容

(如讲清楚模拟、数字、双极型、CMOS、MCU(MCU(MicroControllerUnit)中文名称为多点控制单元,又称单片微型计算机(SingleChipMicrocomputer),是指随着大规模集成电路的出现及其发展,将计算机的CPU、RAM、ROM、定时数器和多种I/O接口集成在一片芯片上,形成芯片级的计算机,为不同的应用场合做不同组合控制。MCU的分类 MCU按其存储器类型可分为MASK(掩模)ROM、OTP(一次性可编程)ROM、FLASHROM等类型。MASKROM的MCU价格便宜,但程序在出厂时已经固化,适合程序固定不变的应用场合;FLASHROM的MCU程序可以反复擦写,灵活性很强,但价格较高,适合对价格不敏感的应用场合或做开发用途;OTPROM的MCU价格介于前两者之间,同时又拥有一次性可编程能力,适合既要求一定灵活性,又要求低成本的应用场合,尤其是功能不断翻新、需要迅速量产的电子产品。微控制器在经过这几年不断地研究、发展,历经4位、8位,到现在的16位及32位,甚至64位。产品的成熟度,以及投入厂商之多,应用范围之广,真可谓之空前。目前在国外大厂因开发较早,产品线广,所以技术领先,而本土厂商则以多功能为产品导向取胜。但不可讳言的,本土厂商的价格战是对外商造成威胁的关键因素。由于制程的改进,8位MCU与4位MCU价差相去无几,8位已渐成为市场主流;目前4位MCU大部份应用在计算器、车用仪表、车用防盗装置、呼叫器、无线电话、CD播放器、LCD驱动控制器、LCD游戏机、儿童玩具、磅秤、充电器、胎压计、温湿度计、遥控器及傻瓜相机等;8位MCU大部份应用在电表、马达控制器、电动玩具机、变频式冷气机、呼叫器、传真机、来电辨识器(CallerID)、电话录音机、CRT显示器、键盘及USB等;16位MCU大部份应用在行动电话、数字相机及摄录放影机等;32位MCU大部份应用在Modem、GPS、PDA、HPC、STB、Hub、Bridge、Router、工作站、ISDN电话、激光打印机与彩色传真机;64位MCU大部份应用在高阶工作站、多媒体互动系统、高级电视游乐器(如SEGA的Dreamcast及Nintendo的GameBoy)及高级终端机等)、RISC(RISC是什么含义?它有什么特点?简称为精简指令系统计算机(简称RISC),起源于80年代的MIPS主机(即RISC机),RISC机中采用的微处理器统称RISC处理器。RISC典型范例如:MIPS R3000、HP—PA8000系列, Motorola M88000等均属于RISC微处理器。RISC主要特点: RISC微处理器不仅精简了指令系统,采用超标量和流水线结构;它们的指令数目只有几十条,却大大增强了并行处理能力。如:1987年Sun Microsystem公司推出的SPARC芯片就是一种超标量结构的RISC处理器。而SGI公司推出的MIPS处理器则采用超流水线结构,这些RISC处理器在构建并行精简指令系统多处理机中起着核心的作用。RISC处理器是当今UNIX领域64位多处理机的主流芯片

性能特点一:由于指令集简化后,流水线以及常用指令均可用硬件执行;性能特点二:采用大量的寄存器,使大部分指令操作都在寄存器之间进行,提高了处理速度;性能特点三:采用缓存—主机—外存三级存储结构,使取数与存数指令分开执行,使处理器可以完成尽可能多的工作,且不因从存储器存取信息而放慢处理速度。应用特点:由于RISC处理器指令简单、采用硬布线控制逻辑、处理能力强、速度快,世界上绝大部分UNIX工作站和服务器厂商均采用RISC芯片作CPU用。如原DEC的Alpha21364、IBM的Power PC G4、HP的PA—8900、SGI的R12000A和SUN Microsystem公司的Ultra SPARC I。运行特点: RISC芯片的工作频率一般在400MHZ数量级。时钟频率低,功率消耗少,温升也少,机器不易发生故障和老化,提高了系统的可靠性。单一指令周期容纳多部并行操作。在RISC微处理器发展过程中,曾产生了超长指令字(VLIW)微处理器,它使用非常长的指令组合,把许多条指令连在一起,以能并行执行。VLIW处理器的基本模型是标量代码的执行模型,使每个机器周期内有多个操作。有些RISC处理器中也采用少数VLIW指令来提高处理速度。)、

CISC(CISC(复杂指令集计算机)和RISC(精简指令集计算机)是前CPU的两种架构。它

们的区别在于不同的 CPU 设计理念和办法。早期的 CPU 全部是 CISC 架构,它的设计目的是要用最少的机器语言指令来完成所需的计算任务。

RISC 则是计算机系统只有少数指令,但是每个指令的执行时间相当短,因此 CPU 可以用相当高的频率来运算。)、DSP(DSP 是单片机的一个分支。它有专门的 FFT 算法需要的特殊指令,流水线指令处理。能以较高的速度进行运算。我们可以根据需要选用他。如果你作一个遥控器,选用他就没优势了。因为很多其他的用于遥控的单片机比他更适合用来作遥控器。如果你用 89C51 来作语音或图像识别就不如 DSP 了。一个产品的设计要考虑,在满足需求的情况下,他的性价比。

2、单片机长于控制场合应用,DSP 长于信号分析运算,本身针对了不同的需求,应该不存在互相替代的问题。不过目前这两者特点互相融合的趋势倒是越来越明显。3、如果你还没进入开发领域,把单片机的硬件摸透了对学 DSP 帮助很大,如果你还没学单片机把起点架在 DSP 上也没问题,以我的心得单片机你迟早要遇到,不如先学好他,对单片机能解决的问题,DSP 的开发成本大得多,不过你将来要是遇到复杂的数字信号处理(如 IIR, FIR, FFT)等,就用得上他了,它的速度和实时处理能力单片机是望尘莫及的。还有一篇文章讲这个: DSP 器件与单片机的比较在过去的几十年里,单片机的广泛应用实现了简单的智能控制功能。随着信息化的进程和计算机科学与技术、信号处理理论与方法等的迅速发展,需要处理的数据量越来越大,对实时性和精度的要求越来越高,在某些领域,低档单片机已不再能满足要求。近年来,各种集成化的单片 DSP 的性能得到很大改善,软件和开发工具也越来越多,越来越好;价格却大幅度下滑,从而使得 DSP 器件及技术更容易使用,价格也能够为广大用户接受;越来越多的单片机用户开始考虑选用 DSP 器件来提高产品性能,DSP 器件取代高档单片机的可能性越来越大。本文将从性能、价格等方面对单片机和 DSP 器件进行比较,在此基础上,以 TI 的

MS320C2XX 系列 DSP 器件为例,探讨 DSP 器件取代高档单片机的可行性。1.单片机的特点所谓单片机就是在一片芯片上集成了 CPU、RAM、ROM(EPROM 或 EEPROM)、时钟、定时/计数器、多种功能的串行和并行 I/O 口。如 Intel 公司的 8031 系列等。除了以上基本功能外,有的还集成有 A/D、D/A,如 Intel 公司的 8098 系列。概括起来说,单片机具有如下特点:具有位处理能力,强调控制和事务处理功能。价格低廉。如低档单片机价格只有人民币几元钱。开发环境完备,开发工具齐全,应用资料众多。后备人才充足。国内大多数高校都开设了单片机课程和单片机实验。

2.DSP 器件的特点 与单片机相比,DSP 器件具有较高的集成度。DSP 具有更快的 CPU,更大容量的存储器,内置有波特率发生器和 FIFO 缓冲器。提供高速、同步串口和标准异步串口。有的片内集成了 A/D 和采样/保持电路,可提供 PWM 输出。DSP 器件采用改进的哈佛结构,具有独立的程序和数据空间,允许同时存取程序和数据。内置高速的硬件乘法器,增强的多级流水线,使 DSP 器件具有高速的数据运算能力。DSP 器件比 16 位单片机单指令执行时间快 8~10 倍,完成一次乘加运算快 16~30 倍。DSP 器件还提供了高度专业化的指令集,提高了 FFT 快速傅里叶变换和滤波器的运算速度。此外,DSP 器件提供 JTAG 接口,具有更先进的开发手段,批量生产测试更方便,开发工具可实现全空间透明仿真,不占用用户任何资源。软件配有汇编/链接 C 编译器、C 源码调试器。目前国内推广应用最为广泛的 DSP 器件是美国德州仪器(TI)公司生产的 TMS320 系列。DSP 开发系统的国产化工作已经完成,国产开发系统的价格至少比进口价格低一半,有的如 TMS320C2XX 开发系统只有进口开发系统价格的 1/5,这大大刺激了 DSP 器件的应用。目前,已有不少高校计划建立 DSP 实验室,TI 公司和北京闻亭公司都已制订了高校支持计划,将带动国内 DSP 器件的应用和推广(哈尔滨工程大学就是其中的一所,他们的实力非常强大) 3.DSP 器件大规模推广指日可待?通过上述比较,我们可得出结论: DSP 器件是一种具有高速运算能力的单片机。从应用角度看: DSP 器件是运算密集型的,而单片机是事务密集型的,

DSP 器件可以取代单片机, 单片机却不能取代 DSP。DSP 器件价格大幅度下滑, 直逼单片机? DSP 器件广泛使用了 JTAG 硬件仿真, 比单片机更易于硬件调试。国产化的 DSP 开发系统为更多用户采用 DSP 器件提供了可能性。DSP 取代单片机的技术和价格的市场条件已经成熟? 大规模推广指日可待? (现在吹牛的人真是一点草稿都不打。不过 DSP 确实功能强大。) 结论: 使用单片机的不一定了解 DSP, 并且非要用 DSP 不可; 但使用 DSP 的一定了解单片机, 并且能做出性价比高的产品。)、ASIC、FPGA(ASIC (Application Specific Intergrated Circuits) 即专用集成电路, 是指应特定用户要求和特定电子系统的需要而设计、制造的集成电路。目前用 CPLD (复杂可编程逻辑器件) 和 FPGA (现场可编程逻辑阵列) 来进行 ASIC 设计是最为流行的方式之一, 它们的共性是都具有用户现场可编程特性, 都支持边界扫描技术, 但两者在集成度、速度以及编程方式上具有各自的特点。ASIC 的特点是面向特定用户的需求, 品种多、批量少, 要求设计和生产周期短, 它作为集成电路技术与特定用户的整机或系统技术紧密结合的产物, 与通用集成电路相比具有体积更小、重量更轻、功耗更低、可靠性提高、性能提高、保密性增强、成本降低等优点。FPGA (现场可编程门阵列) 是专用集成电路 (ASIC) 中集成度最高的一种, 用户可对 FPGA 内部的逻辑模块和 I/O 模块重新配置, 以实现用户的逻辑, 因而也被用于对 CPU 的模拟。用户对 FPGA 的编程数据放在 Flash 芯片中, 通过上电加载到 FPGA 中, 对其进行初始化。也可在线对其编程, 实现系统在线重构, 这一特性可以构建一个根据计算任务不同而实时定制的 CPU, 这是当今研究的热门领域。

电子封装是集成电路芯片生产完成后不可缺少的

一道工序, 是器件到系统的桥梁。所以 FPGA 是封装结构的是正确的!!

)等的概念)。(仕兰微面试题目)

2、FPGA 和 ASIC 的概念, 他们的区别。(未知)

答案: FPGA 是可编程 ASIC。

ASIC: 专用集成电路, 它是面向专门用途的电路, 专门为一个用户设计和制造的。根据一个用户的特定要求, 能以低研制成本, 短、交货周期供货的全定制, 半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点

3、什么叫做 OTP 片(OTP (一次性可编程))、掩膜片, 两者的区别何在? (仕兰微面试题目)

OTP 与掩膜 OTP 是一次性写入的单片机。过去认为一个单片机产品的成熟是以投产掩膜型单片机为标志的。由于掩膜需要一定的生产周期, 而 OTP 型单片机价格不断下降, 使得近年来直接使用 OTP 完成最终产品制造更为流行。它较之掩膜具有生产周期短、风险小的特点。近年来, OTP 型单片机需求大幅度上扬, 为适应这种需求许多单片机都采用了在片编程技术(In System Programming)。未编程的 OTP 芯片可采用裸片 Bonding 技术或表面贴技术, 先焊在印刷板上, 然后通过单片机上引出的编程线, 串行数据、时钟线等对单片机编程。解决了批量写 OTP 芯片时容易出现芯片与写入器接触不好的问题, 使 OTP 的裸片得以广泛使用, 降低了产品的成本。编程线与 I/O 线共用, 不增加单片机的额外引脚。而一些生产厂商推出的单片机不再有掩膜型, 全部为有 ISP 功能的 OTP。

4、你知道的集成电路设计的表达方式有几种? (仕兰微面试题目)

5、描述你对集成电路设计流程的认识。(一般来说 asic 和 fpga/cpld 没有关系! fpga 是我们小批量或者实验中采用的, 生活中的电子器件上很少见到的。而 asic 是通过掩膜的高的, 它是不可被修改的。至于流程, 应该是前端、综合、仿真、后端、检查、加工、测试、封装。

我是做路由器 asic 设计的可能你上网用的网卡还有路由器就是我们公司的, 呵呵, 流程基本如此!)(仕兰微面试题目)

6、简述 FPGA 等可编程逻辑器件设计流程。

通常可将 FPGA/CPLD 设计流程归纳为以下 7 个步骤, 这与 ASIC 设计有相似之处。

1.设计输入。在传统设计中, 设计人员是应用传统的原理图输入方法来开始设计的。自 90 年代初, Verilog、VHDL、AHDL 等硬件描述语言的输入方法在大规模设计中得到了广泛应用。

2.前仿真(功能仿真)。设计的电路必须在布局布线前验证电路功能是否有效。(ASIC 设计中, 这一步骤称为第一次 Sign-off) PLD 设计中, 有时跳过这一步。

3.设计编译。设计输入之后就有一个从高层次系统行为设计向门级逻辑电路设转化翻译过程, 即把设计输入的某种或某几种数据格式(网表)转化为软件可识别的某种数据格式(网表)。

4.优化。对于上述综合生成的网表, 根据布尔方程功能等效的原则, 用更小更快的综合结果代替一些复杂的单元, 并与指定的库映射生成新的网表, 这是减小电路规模的一条必由之路。

5.布局布线。在 PLD 设计中, 3-5 步可以用 PLD 厂家提供的开发软件(如 Maxplus2)自动一次完成。

6.后仿真(时序仿真)需要利用在布局布线中获得的精确参数再次验证电路的时序。(ASIC 设计中, 这一步骤称为第二次 Sign-off)。

7.生产。布线和后仿真完成之后, 就可以开始 ASIC 或 PLD 芯片的投产

)(仕兰微面试题)

7、IC 设计前端到后端的流程和 eda 工具。

(ic 卡是集成电路卡的意思, ic 卡是一种内藏大规模集成电路的塑料卡片, 其大小和原来的磁卡电话的磁卡大小相同。ic 卡通常可分为存储卡、加密卡和智能卡三类, 存储卡是可以直接对其进行读、写操作的存储器, 加密卡是在存储卡的基础上增加了读、写加密功能, 对加密卡进行操作时, 必须首先核对卡中的密码, 密码正确才能进行正常操作, 智能卡是带有微处理器(cpu), 同时也称作 cpu 卡。ic 卡的设计的流程分为:逻辑设计--子功能分解--详细时序框图--分块逻辑仿真--电路设计(RTL 级描述)--功能仿真--综合(加时序约束和设计库)--电路网表--网表仿真--预布局布线(SDF 文件)--网表仿真(带延时文件)--静态时序分析--布局布线--参数提取--SDF 文件--后仿真--静态时序分析--测试向量生成--工艺设计与生产--芯片测试--芯片应用, 在验证过程中出现的时序收敛, 功耗, 面积问题, 应返回前端的代码输入进行重新修改, 再仿真, 再综合, 再验证, 一般都要反复好几次才能最后送去 foundry 厂流片。)(未知)

9、Asic 的 design flow (设计流程)。(威盛 VIA 2003.11.06 上海笔试试题)()

11、集成电路前段设计流程, 写出相关的工具。(扬智电子笔试)

先介绍下 IC 开发流程:

1.) 代码输入 (design input)

用 vhdl 或者是 verilog 语言来完成器件的功能描述, 生成 hdl 代码

语言输入工具: SUMMIT VISUALHDL

MENTOR RENIOR

图形输入: composer(cadence);

viewlogic (viewdraw)

2.) 电路仿真 (circuit simulation)

将 vhd 代码进行先前逻辑仿真, 验证功能描述是否正确

数字电路仿真工具:

Verilog: CADENCE Verilog-XL
SYNOPSYS VCS

VHDL:	MENTOR	Modle-sim
	CADENCE	NC-vhdl
	SYNOPSYS	VSS
	MENTOR	Modle-sim

模拟电路仿真工具:

***ANTI HSpice pspice, spectre micro microwave: ceesoft : hp

3.) 逻辑综合 (synthesis tools)

逻辑综合工具可以将设计思想 vhd 代码转化成对应一定工艺手段的门级电路: 将初级仿真中所没有考虑的门沿 (gates delay) 反标到生成的门级网表中, 返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

12、请简述一下设计后端的整个流程? (仕兰微面试题)

13、是否接触过自动布局布线? 请说出一两种工具软件。**自动布局布线需要哪些基本元素?** (仕兰微面试题) Protel Protel99 是基于 Win95/Win NT/Win98/Win2000 的纯 32 位电路设计制版系统。Protel99 提供了一个集成的设计环境, 包括了原理图设计和 PCB 布线工具, 集成的设计文档管理, 支持通过网络进行工作组协同设计功能。

14、描述你对集成电路工艺的认识。(仕兰微面试题) 集成电路是采用半导体制作工艺, 在一块较小的单晶硅片上制作上许多晶体管及电阻器、电容器等元器件, 并按多层布线或隧道布线的方法将元器件组合成完整的电子电路。它在电路用字母“IC” (也有用文字符号“N”等) 表示。

(一) 按功能结构分类集成电路按其功能、结构的不同, 可以分为模拟集成电路和数字集成电路两大类。

模拟集成电路用来产生、放大和处理各种模拟信号 (指幅度随时间连续变化的信号。例如半导体收音机的音频信号、录放机的磁带信号等), 而数字集成电路用来产生、放大和处理各种数字信号 (指在时间上和幅度上离散取值的信号。例如 VCD、DVD 重放的音频信号和视频信号)。

(二) 按制作工艺分类

集成电路按制作工艺可分为半导体集成电路和薄膜集成电路。膜集成电路又分类厚膜集成电路和薄膜集成电路。

(三) 按集成度高低分类

集成电路按集成度高低的不同可分为小规模集成电路、中规模集成电路、大规模集成电路和超大规模集成电路。(四)

按导电类型不同分类

集成电路按导电类型可分为双极型集成电路和单极型集成电路。

双极型集成电路的制作工艺复杂, 功耗较大, 代表集成电路有 TTL、ECL、HTL、LST-TL、STTL 等类型。单极型集成电路的制作工艺简单, 功耗也较低, 易于制成大规模集成电路, 代表集成电路有 CMOS、NMOS、PMOS 等类型。

(五) 按用途分类

集成电路按用途可分为电视机用集成电路、音响用集成电路、影碟机用集成电路、录像机用集成电路、电脑 (微机) 用集成电路、电子琴用集成电路、通信用集成电路、照相机用集成电路、遥控集成电路、语言集成电路、报警器用集成电路及各种专用集成电路。

电视机用集成电路包括行、场扫描集成电路、中放集成电路、伴音集成电路、彩色解码集成电路、AV/TV 转换集成电路、开关电源集成电路、遥控集成电路、丽音解码集成电路、画中画处理集成电路、微处理器 (CPU) 集成电路、存储器集成电路等。

音响用集成电路包括 AM/FM 高中频电路、立体声解码电路、音频前置放大电路、音频运算放大集成电路、音频功率放大集成电路、环绕声处理集成电路、电平驱动集成电路、电子音量控制集成电路、延时混响集成电路、电子开关集成电路等。

影碟机用集成电路有系统控制集成电路、视频编码集成电路、MPEG 解码集成电路、音频信号处理集成电路、音响效果集成电路、RF 信号处理集成电路、数字信号处理集成电路、伺服集成电路、电动机驱动集成电路等。

录像机用集成电路有系统控制集成电路、伺服集成电路、驱动集成电路、音频处理集成电路、视频处理集成电路。

15、列举几种集成电路典型工艺。工艺上常提到 0.25,0.18 指的是什么？（仕兰微面试题）
制造工艺：我们经常说的 0.18 微米、0.13 微米制程，就是指制造工艺了。制造工艺直接关系到 cpu 的电气性能。而 0.18 微米、0.13 微米这个尺度就是指的是 cpu 核心中线路的宽度。线宽越小，cpu 的功耗和发热量就越低，并可以工作在更高的频率上了。所以以前 0.18 微米的 cpu 最高的频率比较低，用 0.13 微米制造工艺的 cpu 会比 0.18 微米的制造工艺的发热量低都是这个道理了。 cd

16、请描述一下国内的工艺现状。（仕兰微面试题）

17、半导体工艺中，掺杂有哪几种方式？（仕兰微面试题）

根据掺入的杂质不同，杂质半导体可以分为 N 型和 P 型两大类。 N 型半导体中掺入的杂质为磷等五价元素，磷原子在取代原晶体结构中的原子并构成共价键时，多余的第五个价电子很容易摆脱磷原子核的束缚而成为自由电子，于是半导体中的自由电子数目大量增加，自由电子成为多数载流子，空穴则成为少数载流子。 P 型半导体中掺入的杂质为硼或其他三价元素，硼原子在取代原晶体结构中的原子并构成共价键时，将因缺少一个价电子而形成一个空穴，于是半导体中的空穴数目大量增加，空穴成为多数载流子，而自由电子则成为少数载流子。

18、描述 CMOS 电路中闩锁效应产生的过程及最后的结果？

Latch-up 闩锁效应，又称寄生 PNP 效应或可控硅整流器（SCR, Silicon Controlled Rectifier）效应。在整体硅的 CMOS 管下，不同极性掺杂的区域间都会构成 P-N 结，而两个靠近的反方向的 P-N 结就构成了一个双极型的晶体三极管。因此 CMOS 管的下面会构成多个三极管，这些三极管自身就可能构成一个电路，这就是 MOS 管的寄生三极管效应，如果电路偶尔中出现了能够使三极管开通的条件，这个寄生的电路就会极大的影响正常电路的运作，会使原本的 MOS 电路承受比正常工作大得多的电流，可能使电路迅速的烧毁。

Latch-up 状态下器件在电源与地之间形成短路，造成大电流、EOS（电过载）和器件损坏。（仕兰微面试题）

19、解释 latch-up 现象和 Antenna effect 和其预防措施。（未知）

20、什么叫 Latchup？ 闩锁效应，又称寄生 PNP 效应或可控硅整流器（SCR, Silicon Controlled Rectifier）效应。（科广试题）

21、什么叫窄沟效应？ 当 JFET 或 MESFET 沟道较短， $<1\mu\text{m}$ 的情况下，这样的器件沟道内电场很高，载流子饱和速度通过沟道，因而器件的工作速度得以提高，载流子漂移速度，通常用分段来描述，认为电场小于某一临界电场时，漂移速度与近似与电场成正比，迁移率是常数，当电场高于临界时，速度饱和是常数。所以在短沟道中，速度是饱和的，漏极电流方程也发生了变化，这种由有况下饱和电流不是由于沟道夹断引起的而是由于速度饱和，别名（科广试题）

22、什么是 NMOS、PMOS、CMOS？什么是增强型、耗尽型？什么是 PNP、NPN？他们有什么差别？（仕兰微面试题）

23、硅栅 COMS 工艺中 N 阱中做的是 P 管还是 N 管，N 阱的阱电位的连接有什么要求？（仕兰微面试题）

24、画出 CMOS 晶体管的 CROSS-OVER 图（应该是纵剖面图），给出所有可能的传输特性和转移特性。（Inficon 笔试试题）

25、以 interver 为例,写出 N 阱 CMOS 的 process 流程,并画出剖面图。（科广试题）

26、Please explain how we describe the resistance in semiconductor. Compare the resistance of a metal, poly and diffusion in tranditional CMOS process.（威盛笔试题 circuit design-beijing-03.11.09）

27、说明 mos 一半工作在什么区。（凹凸的题目和面试）

28、画 p-bulk 的 nmos 截面图。（凹凸的题目和面试）

29、写 schematic note（?），越多越好。（凹凸的题目和面试）

30、寄生效应在 ic 设计中怎样加以克服和利用。（未知）

31、太底层的 MOS 管物理特性感觉一般不大会作为笔试面试题，因为全是微电子物理，公式推导太罗嗦，除非面试出题的是个老学究。IC 设计的话需要熟悉的软件: Cadence, Synopsys, Avant, UNIX 当然也要大概会操作。

32、unix 命令 cp -r, rm, uname。(扬智电子笔试)

单片机、MCU、计算机原理

1、简单描述一个单片机系统的主要组成模块，并说明各模块之间的数据流流向和控制流流向。简述单片机应用系统的设计原则。(仕兰微面试题目)

2、画出 8031 与 2716 (2K*8ROM) 的连线图，要求采用三-八译码器，8031 的 P2.5, P2.4 和

P2.3 参加译码，基本地址范围为 3000H-3FFFH。该 2716 有没有重叠地址？根据是什么？若

有，则写出每片 2716 的重叠地址范围。(仕兰微面试题目)

3、用 8051 设计一个带一个 8*16 键盘加驱动八个数码管（共阳）的原理图。(仕兰微面试题目)

4、PCI 总线的含义是什么？PCI 总线的主要特点是什么？(仕兰微面试题目)

5、中断的概念？简述中断的过程。(仕兰微面试题目)

6、如单片机中断几个/类型，编中断程序注意什么问题；(未知)

7、要用一个开环脉冲调速系统来控制直流电动机的转速，程序由 8051 完成。简单原理如下：由 P3.4 输出脉冲的占空比来控制转速，占空比越大，转速越快；而占空比由 K7-K0 八个开关来设置，直接与 P1 口相连（开关拨到下方时为“0”，拨到上方时为“1”，组成一个八位二进制数 N），要求占空比为 N/256。(仕兰微面试题目)

下面程序用计数法来实现这一功能，请将空余部分添完整。

```
MOV P1, #0FFH
LOOP1: MOV R4, #0FFH
-----
MOV R3, #00H
LOOP2: MOV A, P1
-----
SUBB A, R3
JNZ SKP1
-----
SKP1: MOV C, 70H
MOV P3.4, C
ACALL DELAY: 此延时子程序略
-----
-----
AJMP LOOP1
```

8、单片机上电后没有运转，首先要检查什么？(东信笔试题)

9、What is PC Chipset? (扬智电子笔试)

芯片组 (Chipset) 是主板的核心组成部分，按照在主板上的排列位置的不同，通常分为北桥芯片和南桥芯片。北桥芯片提供对 CPU 的类型和主频、内存的类型和最大容量、ISA/PCI/AGP 插槽、ECC 纠错等支持。南桥芯片则提供对 KBC (键盘控制器)、RTC (实

时钟控制器)、USB (通用串行总线)、Ultra DMA/33(66)EIDE 数据传输方式和 ACPI (高级能源管理) 等的支持。其中北桥芯片起着主导性的作用, 也称为主桥 (Host Bridge)。

除了最通用的南北桥结构外, 目前芯片组正向更高级的加速集线架构发展, Intel 的 8xx 系列芯片组就是这类芯片组的代表, 它将一些子系统如 IDE 接口、音效、MODEM 和 USB 直

接接入主芯片, 能够提供比 PCI 总线宽一倍的带宽, 达到了 266MB/s。

10、如果简历上还说做过 cpu 之类, 就会问到诸如 cpu 如何工作, 流水线之类的问题。

(未知)

11、计算机的基本组成部分及其各自的作用。(东信笔试题)

12、请画出微机接口电路中, 典型的输入设备与微机接口逻辑示意图 (数据接口、控制接口、寄存器/缓冲器)。(汉王笔试)

13、cache 的主要部分什么的。(威盛 VIA 2003.11.06 上海笔试题)

14、同步异步传输的差异 (未知)

15、串行通信与同步通信异同, 特点, 比较。(华为面试题)

16、RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?) (华为面试题)

信号与系统

1、的话音频率一般为 300~3400HZ, 若对其采样且使信号不失真, 其最小的采样频率应为多大? 若采用 8KHZ 的采样频率, 并采用 8bit 的 PCM 编码, 则存储一秒钟的信号数据量有多

大? (仕兰微面试题)

2、什么耐奎斯特定律, 怎么由模拟信号转为数字信号。(华为面试题)

3、如果模拟信号的带宽为 5khz, 要用 8K 的采样率, 怎么办? (lucent) 两路?

4、信号与系统: 在时域与频域关系。(华为面试题)

5、给出时域信号, 求其直流分量。(未知)

6、给出一时域信号, 要求 (1) 写出频率分量, (2) 写出其傅立叶变换级数; (3) 当波形经过低通滤波器滤掉高次谐波而只保留一次谐波时, 画出滤波后的输出波形。(未知)

7、sketch 连续正弦信号和连续矩形波(都有图)的傅立叶变换。(Infineon 笔试题)

8、拉氏变换和傅立叶变换的表达式及联系。(新太硬件面题)

DSP、嵌入式、软件等

1、请用方框图描述一个你熟悉的实用数字信号处理系统, 并做简要的分析; 如果没有, 也可以自己设计一个简单的数字信号处理系统, 并描述其功能及用途。(仕兰微面试题)

2、数字滤波器的分类和结构特点。(仕兰微面试题)

3、IIR, FIR 滤波器的异同。(新太硬件面题)

4、拉氏变换与 Z 变换公式等类似东西, 随便翻翻书把如 $h(n) = a \cdot h(n-1) + b \cdot \delta(n)$ a. 求 $h(n)$ 的 z 变换; b. 问该系统是否为稳定系统; c. 写出 FIR 数字滤波器的差分方程; (未知)

5、DSP 和通用处理器在结构上有什么不同, 请简要画出你熟悉的一种 DSP 结构图。(信威 dsp 软件面试题)

6、说说定点 DSP 和浮点 DSP 的定义 (或者说出他们的区别) (信威 dsp 软件面试题)

7、说说你对循环寻址和位反序寻址的理解。(信威 dsp 软件面试题)

8、请写出【-8，7】的二进制补码，和二进制偏置码。用 Q15 表示出 0.5 和 -0.5。（信威 dsp 软件面试题）

9、DSP 的结构（哈佛结构）：（未知）

10、嵌入式处理器类型(如 ARM)，操作系统种类（Vxworks,ucos,winCE,linux），操作系统方面偏 CS 方向了，在 CS 篇里面讲了：（未知）

11、有一个 LDO 芯片将用于对手机供电，需要你对他进行评估，你将如何设计你的测试项目？

12、某程序在一个嵌入式系统（200M CPU，50M SDRAM）中已经最优化了，换到另一个系统（300M CPU，50M SDRAM）中是否还需要优化？（Intel）

13、请简要描述 HUFFMAN 编码的基本原理及其基本的实现方法。（仕兰微面试题）

14、说出 OSI 七层网络协议中的四层（任意四层）。（仕兰微面试题）

15、A）（仕兰微面试题）

```
#include
void testf(int*p)
{
    *p+=1;
}
main()
{
    int *n,m[2];
    n=m;
    m[0]=1;
    m[1]=8;
    testf(n);
    printf("Data value is %d ",*n);
}
```

```
-----
B)
#include
void testf(int**p)
{
    *p+=1;
}
main()
{int *n,m[2];
  n=m;
  m[0]=1;
  m[1]=8;
  testf(&n);
  printf("Data value is %d",*n);
}
```

下面的结果是程序 A 还是程序 B 的？

Data value is 8

那么另一段程序的结果是什么？

- 16、那种排序方法最快？（华为面试题）
- 17、写出两个排序算法,问哪个好？（威盛）
- 18、编一个简单的求 $n!$ 的程序。（Infineon 笔试试题）
- 19、用一种编程语言写 $n!$ 的算法。（威盛 VIA 2003.11.06 上海笔试试题）
- 20、用 C 语言写一个递归算法求 $N!$ ；（华为面试题）
- 21、给一个 C 的函数，关于字符串和数组，找出错误；（华为面试题）
- 22、防火墙是怎么实现的？（华为面试题）
- 23、你对哪方面编程熟悉？（华为面试题）
- 24、冒泡排序的原理。（新太硬件面试题）
- 25、操作系统的功能。（新太硬件面试题）
- 26、学过的计算机语言及开发的系统。（新太硬件面试题）
- 27、一个农夫发现围成正方形的围栏比长方形的节省 4 个木桩但是面积一样,羊的数目和正方形围栏的桩子的个数一样但是小于 36，问有多少羊？（威盛）
- 28、C 语言实现统计某个 cell 在某.v 文件调用的次数(这个题目真 bt)（威盛 VIA 2003.11.06 上海笔试试题）
- 29、用 C 语言写一段控制手机中马达振子的驱动程序。(威胜)
- 30、用 perl 或 TCL/Tk 实现一段字符串识别和比较的程序。（未知）
- 31、给出一个堆栈的结构，求中断后显示结果，主要是考堆栈压入返回地址存放在低端地址还是高端。（未知）
- 32、一些 DOS 命令，如显示文件，拷贝，删除。（未知）
- 33、设计一个类，使得该类任何形式的派生类无论怎么定义和实现，都无法产生任何对象实例。（IBM）
- 34、What is pre-emption? (Intel)
- 35、What is the state of a process if a resource is not available? (Intel)
- 36、三个 float a,b,c;问值 $(a+b)+c==(b+a)+c$, $(a+b)+c==(a+c)+b$ 。(Intel)
- 37、把一个链表反向填空。（lucent）
- 38、 $x^4+a*x^3+x^2+c*x+d$ 最少需要做几次乘法？(Dephi)

主观题

- 1、你认为你从事研发工作有哪些特点？（仕兰微面试题目）
- 2、说出你的最大弱点及改进方法。（威盛 VIA 2003.11.06 上海笔试试题）
- 3、说出你的理想。说出你想达到的目标。 题目是英文出的，要用英文回答。（威盛 VIA 2003.11.06 上海笔试试题）
- 4、我们将研发人员分为若干研究方向，对协议和算法理解（主要应用在网络通信、图象语音压缩方面）、电子系统方案的研究、用 MCU、DSP 编程实现电路功能、用 ASIC 设计技术设计电路（包括 MCU、DSP 本身）、电路功能模块设计（包括模拟电路和数字电路）、集成电路后端设计（主要是指综合及自动布局布线技术）、集成电路设计与工艺接口的研究。你希望从事哪方面的研究？（可以选择多个方向。另外，已经从事过相关研发的人员可以详细描述你的研发经历）。（仕兰微面试题目）
- 5、请谈谈对一个系统设计的总体思路。针对这个思路，你觉得应该具备哪些方面的知识？（仕兰微面试题目）
- 6、设想你将设计完成一个电子电路方案。请简述用 EDA 软件（如 PROTEL）进行设计（包括原理图和 PCB 图）到调试出样机的整个过程。在各环节应注意哪些问题？电源的稳

定，电容的选取，以及布局的大小。（汉王笔试）

共同的注意点

- 1.一般情况下，面试官主要根据你的简历提问，所以一定要对自己负责，把简历上的东西搞明白；
- 2.个别招聘针对性特别强，就招目前他们缺的方向的人，这种情况下，就要投其所好，尽量介绍其所关心的东西。
- 3.其实技术面试并不难，但是由于很多东西都忘掉了，才觉得有些难。所以最好在面试前把该看的书看看。
- 4.虽然说技术面试是实力的较量与体现，但是不可否认，由于不用面试官/公司所专领域及爱好不同，也有面试也有很大的偶然性，需要冷静对待。不能因为被拒，就否认自己或责骂公司。
- 5.面试时要 take it easy，对越是自己钟情的公司越要这样。

各大公司电子类招聘题目精选

模拟电路

- 1、基尔霍夫定理的内容是什么？（仕兰微电子）
- 2、平板电容公式($C = \epsilon S / 4 \pi kd$)。（未知）
- 3、最基本的如三极管曲线特性。（未知）
- 4、描述反馈电路的概念，列举他们的应用。（仕兰微电子）
- 5、负反馈种类（电压并联反馈，电流串联反馈，电压串联反馈和电流并联反馈）；负反馈的优点（降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用）（未知）
- 6、放大电路的频率补偿的目的是什么，有哪些方法？（仕兰微电子）
- 7、频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法。（未知）
- 8、给出一个查分运放，如何相位补偿，并画补偿后的波特图。（凹凸）
- 9、基本放大电路种类（电压放大器，电流放大器，互导放大器和互阻放大器），优缺点，特别是广泛采用差分结构的原因。（未知）
- 10、给出一差分电路，告诉其输出电压 Y_+ 和 Y_- ，求共模分量和差模分量。（未知）
- 11、画差放的两个输入管。（凹凸）
- 12、画出由运放构成加法、减法、微分、积分运算的电路原理图。并画出一个晶体管级的运放电路。（仕兰微电子）
- 13、用运算放大器组成一个 10 倍的放大器。（未知）
- 14、给出一个简单电路，让你分析输出电压的特性（就是个积分电路），并求输出端某点的 rise/fall 时间。（Infineon 笔试试题）
- 15、电阻 R 和电容 C 串联，输入电压为 R 和 C 之间的电压，输出电压分别为 C 上电压和 R 上电压，要求制这两种电路输入电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当 $RC \ll T$ 时，给出输入电压波形图，绘制两种电路的输出波形图。（未知）

- 16、有源滤波器和无源滤波器的原理及区别? (新太硬件)
- 17、有一时域信号 $S = V_0 \sin(2\pi f_0 t) + V_1 \cos(2\pi f_1 t) + V_2 \sin(2\pi f_3 t + 90^\circ)$, 当其通过低通、带通、高通滤波器后的信号表示方式。(未知)
- 18、选择电阻时要考虑什么? (东信笔试题)
- 19、在 CMOS 电路中, 要有一个单管作为开关管精确传递模拟低电平, 这个单管你会用 P 管 还是 N 管, 为什么? (仕兰微电子)
- 20、给出多个 mos 管组成的电路求 5 个点的电压。(Infineon 笔试试题)
- 21、电压源、电流源是集成电路中经常用到的模块, 请画出你知道的线路结构, 简单描述其优缺点。(仕兰微电子)
- 22、画电流偏置的产生电路, 并解释。(凹凸)
- 23、史密斯特电路, 求回差电压。(华为面试题)
- 24、晶体振荡器, 好像是给出振荡频率让你求周期(应该是单片机的, 12 分之一周期....) (华为面试题)
- 25、LC 正弦波振荡器有哪几种三点式振荡电路, 分别画出其原理图。(仕兰微电子)
- 26、VCO 是什么, 什么参数(压控振荡器?) (华为面试题)
- 27、锁相环有哪几部分组成? (仕兰微电子)
- 28、锁相环电路组成, 振荡器(比如用 D 触发器如何搭)。(未知)
- 29、求锁相环的输出频率, 给了一个锁相环的结构图。(未知)
- 30、如果公司做高频电子的, 可能还要 RF 知识, 调频, 鉴频鉴相之类, 不一一列举。(未知)
- 31、一电源和一段传输线相连(长度为 L, 传输时间为 T), 画出终端处波形, 考虑传输线无损耗。给出电源电压波形图, 要求绘制终端波形图。(未知)
- 32、微波电路的匹配电阻。(未知)
- 33、DAC 和 ADC 的实现各有哪些方法? (仕兰微电子)
- 34、A/D 电路组成、工作原理。(未知)
- 35、实际工作所需要的一些技术知识(面试容易问到)。如电路的低功耗, 稳定, 高速如何做到, 调运放, 布版图注意的地方等等, 一般会针对简历上你所写做过的东西具体问, 肯定会问得很细(所以别把什么都写上, 精通之类的词也别用太多了), 这个东西各个人就不一样了, 不好说什么了。(未知)

数字电路

- 1、同步电路和异步电路的区别是什么? (仕兰微电子)
 - 2、什么是同步逻辑和异步逻辑? (汉王笔试)
同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。
 - 3、什么是"线与"逻辑, 要实现它, 在硬件特性上有什么具体要求? (汉王笔试)
线与逻辑是两个输出信号相连可以实现与的功能。在硬件上, 要用 oc 门来实现, 由于不用 oc 门可能使灌电流过大, 而烧坏逻辑门。 同时在输出端口应加一个上拉电阻。
 - 4、什么是 Setup 和 Holdup 时间? (汉王笔试)
 - 5、setup 和 holdup 时间, 区别。(南山之桥)
 - 6、解释 setup time 和 hold time 的定义和在时钟信号延迟时的变化。(未知)
 - 7、解释 setup 和 hold time violation, 画图说明, 并说明解决办法。(威盛 VIA 2003.11.06 上海笔试试题)
- Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器

的时钟信号上升沿到来以前,数据稳定不变的时间。输入信号应提前时钟上升沿(如上升沿有效) T 时间到达芯片,这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器,只有在下一个时钟上升沿,数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后,数据稳定不变的时间。如果 hold time 不够,数据同样不能被打入触发器。

建立时间(Setup Time)和保持时间(Hold time)。建立时间是指在时钟边沿前,数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果不满足建立和保持时间的话,那么 DFF 将不能正确地采样到数据,将会出现 metastability 的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间,那么超过量就分别被称为建立时间裕量和保持时间裕量。

8、说说对数字逻辑中的竞争和冒险的理解,并举例说明竞争和冒险怎样消除。(仕兰微电子)

9、什么是竞争与冒险现象?怎样判断?如何消除?(汉王笔试)

在组合逻辑中,由于门的输入信号通路中经过了不同的延时,导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法:一是添加布尔式的消去项,二是在芯片外部加电容。

10、你知道那些常用逻辑电平?TTL与COMS电平可以直接互连吗?(汉王笔试)

常用逻辑电平:12V, 5V, 3.3V; TTL和CMOS不可以直接互连,由于TTL是在0.3-3.6V之间,而CMOS则是有在12V的有在5V的。CMOS输出接到TTL是可以直接互连。TTL接到CMOS需要在输出端口加一上拉电阻接到5V或者12V。

11、如何解决亚稳态。(飞利浦一大唐笔试)

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时,既无法预测该单元的输出电平,也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间,触发器输出一些中间级电平,或者可能处于振荡状态,并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

12、IC设计中同步复位与异步复位的区别。(南山之桥)

13、MOORE与MEELEY状态机的特征。(南山之桥)

14、多时域设计中,如何处理信号跨时域。(南山之桥)

15、给了reg的setup,hold时间,求中间组合逻辑的delay范围。(飞利浦一大唐笔试)

$Delay < period - setup - hold$

16、时钟周期为 T , 触发器 D1 的建立时间最大为 $T1_{max}$, 最小为 $T1_{min}$ 。组合逻辑电路最大延

迟为 $T2_{max}$, 最小为 $T2_{min}$ 。问, 触发器 D2 的建立时间 $T3$ 和保持时间应满足什么条件。

(华

为)

17、给出某个一般时序电路的图,有 $T_{setup}, T_{delay}, T_{ck} \rightarrow q$, 还有 clock 的 delay, 写出决定最大时钟的因素, 同时给出表达式。(威盛 VIA 2003.11.06 上海笔试题)

18、说说静态、动态时序模拟的优缺点。(威盛 VIA 2003.11.06 上海笔试题)

19、一个四级的 Mux, 其中第二级信号为关键信号 如何改善 timing。(威盛 VIA 2003.11.06 上海笔试题)

20、给出一个门级的图, 又给了各个门的传输延时, 问关键路径是什么, 还问给出输入, 使得输出依赖于关键路径。(未知)

21、逻辑方面数字电路的卡诺图化简, 时序(同步异步差异), 触发器有几种(区别, 优点), 全加器等等。(未知)

- 22、卡诺图写出逻辑表达式。(威盛 VIA 2003.11.06 上海笔试题)
- 23、化简 $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$ 的和。(威盛)
- 24、please show the CMOS inverter schematic, layout and its cross section with P-well process. Plot its transfer curve ($V_{out}-V_{in}$) And also explain the operation region of PMOS and NMOS for each segment of the transfer curve? (威盛笔试题 circuit design-beijing-03.11.09)
- 25、To design a CMOS inverter with balance rise and fall time, please define the ration of channel width of PMOS and NMOS and explain?
- 26、为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大? (仕兰微电子)
- 27、用 mos 管搭出一个二输入与非门。(扬智电子笔试)
- 28、please draw the transistor level schematic of a cmos 2 input AND gate and explain which input has faster response for output rising edge.(less delay time)。(威盛笔试题 circuit design-beijing-03.11.09)
- 29、画出 NOT, NAND, NOR 的符号, 真值表, 还有 transistor level 的电路。(Infineon 笔试)
- 30、画出 CMOS 的图, 画出 two-to-one mux gate。(威盛 VIA 2003.11.06 上海笔试题)
- 31、用一个二选一 mux 和一个 inv 实现异或。(飞利浦—大唐笔试)
- 32、画出 $Y=A*B+C$ 的 cmos 电路图。(科广试题)
- 33、用逻辑门和 cmos 电路实现 $ab+cd$ 。(飞利浦—大唐笔试)
- 34、画出 CMOS 电路的晶体管级电路图, 实现 $Y=A*B+C(D+E)$ 。(仕兰微电子)
- 35、利用 4 选 1 实现 $F(x,y,z)=xz+yz'$ 。(未知)
- 36、给一个表达式 $f=xxxx+xxxx+xxxxx+xxxx$ 用最少数量的与非门实现(实际上就是化简)。
- 37、给出一个简单的由多个 NOT, NAND, NOR 组成的原理图, 根据输入波形画出各点波形。

(Infineon 笔试)

- 38、为了实现逻辑 $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$, 请选用以下逻辑中的一种, 并说明为什么? 1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案: NAND (未知)
- 39、用与非门等设计全加法器。(华为)
- 40、给出两个门电路让你分析异同。(华为)
- 41、用简单电路实现, 当 A 为输入时, 输出 B 波形为... (仕兰微电子)
- 42、A,B,C,D,E 进行投票, 多数服从少数, 输出是 F (也就是如果 A,B,C,D,E 中 1 的个数比 0 多, 那么 F 输出为 1, 否则 F 为 0), 用与非门实现, 输入数目没有限制。(未知)
- 43、用波形表示 D 触发器的功能。(扬智电子笔试)
- 44、用传输门和倒向器搭一个边沿触发器。(扬智电子笔试)
- 45、用逻辑门画出 D 触发器。(威盛 VIA 2003.11.06 上海笔试题)
- 46、画出 DFF 的结构图, 用 verilog 实现之。(威盛)
- 47、画出一种 CMOS 的 D 锁存器的电路图和版图。(未知)
- 48、D 触发器和 D 锁存器的区别。(新太硬件面试)
- 49、简述 latch 和 flip-flop 的异同。(未知)
- 50、LATCH 和 DFF 的概念和区别。(未知)
- 51、latch 与 register 的区别, 为什么现在多用 register. 行为级描述中 latch 如何产生的。

(南山之桥)

52、用 D 触发器做个二分频的电路.又问什么是状态图。(华为)

53、请画出用 D 触发器实现 2 倍分频的逻辑电路? (汉王笔试)

54、怎样用 D 触发器、与或非门组成二分频电路? (东信笔试)

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16 分频?

56、用 filp-flop 和 logic-gate 设计一个 1 位加法器, 输入 carryin 和 current-stage, 输出 carryout 和 next-stage. (未知)

57、用 D 触发器做个 4 进制的计数。(华为)

58、实现 N 位 Johnson Counter,N=5。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的 7 进制循环计数器, 15 进制的呢? (仕兰微电子)

60、数字电路设计当然必问 Verilog/VHDL, 如设计计数器。(未知)

61、BLOCKING NONBLOCKING 赋值的区别。(南山之桥)

62、写异步 D 触发器的 verilog module。(扬智电子笔试)

```
module dff8(clk , reset, d, q);
input      clk;
input      reset;
input  [7:0] d;
output [7:0] q;
reg  [7:0] q;
always @ (posedge clk or posedge reset)
    if(reset)
        q <= 0;
    else
        q <= d;
endmodule
```

63、用 D 触发器实现 2 倍分频的 Verilog 描述? (汉王笔试)

```
module divide2( clk , clk_o, reset);
input      clk , reset;
output      clk_o;
wire in;
reg out ;
always @ ( posedge clk or posedge reset)
    if ( reset)
        out <= 0;
    else
        out <= in;
    assign in = ~out;
    assign clk_o = out;
endmodule
```

64、可编程逻辑器件在现代电子设计中越来越重要, 请问: a) 你所知道的可编程逻辑器件有哪些? b) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。(汉王笔试)

PAL, PLD, CPLD, FPGA。

```
module dff8(clk , reset, d, q);
```

```

input    clk;
input    reset;
input    d;
output   q;
reg q;

always @ (posedge clk or posedge reset)
    if(reset)
        q <= 0;
    else
        q <= d;
endmodule

```

65、请用 HDL 描述四位的全加法器、5 分频电路。(仕兰微电子)

66、用 VERILOG 或 VHDL 写一段代码，实现 10 进制计数器。(未知)

67、用 VERILOG 或 VHDL 写一段代码，实现消除一个 glitch。(未知)

68、一个状态机的题目用 verilog 实现（不过这个状态机画的实在比较差，很容易误解的）。(威盛 VIA 2003.11.06 上海笔试试题)

69、描述一个交通信号灯的设计。(仕兰微电子)

70、画状态机，接受 1，2，5 分钱的卖报机，每份报纸 5 分钱。(扬智电子笔试)

71、设计一个自动售货机系统，卖 soda 水的，只能投进三种硬币，要正确的找回钱数。
(1) 画出 fsm (有限状态机)；(2) 用 verilog 编程，语法要符合 fpga 设计的要求。(未知)

72、设计一个自动饮料售卖机，饮料 10 分钱，硬币有 5 分和 10 分两种，并考虑找零：

(1)

画出 fsm (有限状态机)；(2) 用 verilog 编程，语法要符合 fpga 设计的要求；(3) 设计工程中可使用的工具及设计大致过程。(未知)

73、画出可以检测 10010 串的状态图,并 verilog 实现之。(威盛)

74、用 FSM 实现 101101 的序列检测模块。(南山之桥)

a 为输入端，b 为输出端，如果 a 连续输入为 1101 则 b 输出为 1，否则为 0。

例如 a: 0001100110110100100110

b: 0000000000100100000000

请画出 state machine: 请用 RTL 描述其 state machine。(未知)

75、用 verilog/vhdl 检测 stream 中的特定字符串（分状态用状态机写）。(飞利浦—大唐笔试)

76、用 verilog/vhdl 写一个 fifo 控制器(包括空，满，半满信号)。(飞利浦—大唐笔试)

77、现有一用户需要一种集成电路产品，要求该产品能够实现如下功能： $y = \ln x$ ，其中，x 为 4 位二进制整数输入信号。y 为二进制小数输出，要求保留两位小数。电源电压为 3~5v 假

设公司接到该项目后，交由你来负责该产品的设计，试讨论该产品的设计全程。(仕兰微电子)

78、sram, falsh memory, 及 dram 的区别？(新太硬件面试)

79、给出单管 DRAM 的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官 205 页图 9

—14b)，问你有什么办法提高 refresh time，总共有 5 个问题，记不起来了。(降低温度，增大电容存储容量)(Infineon 笔试)

80、Please draw schematic of a common SRAM cell with 6 transistors, point out which nodes can store data and which node is word line control? (威盛笔试题 circuit design-beijing-03.11.09)

81、名词:sram,ssram,sdram

名词 IRQ, BIOS, USB, VHDL, SDR

IRQ: Interrupt ReQuest

BIOS: Basic Input Output System

USB: Universal Serial Bus

VHDL: VHIC Hardware Description Language

SDR: Single Data Rate

压控振荡器的英文缩写(VCO)。

动态随机存储器的英文缩写(DRAM)。

名词解释, 无聊的外文缩写罢了, 比如 PCI、ECC、DDR、interrupt、pipeline、

IRQ, BIOS, USB, VHDL, VLSI VCO(压控振荡器) RAM(动态随机存储器), FIR IIR DFT(离散傅立叶变换)或者是中文的, 比如: a.量化误差 b.直方图 c.白平衡

IC 设计基础(流程、工艺、版图、器件)

1、我们公司的产品是集成电路, 请描述一下你对集成电路的认识, 列举一些与集成电路相关的内容(如讲清楚模拟、数字、双极型、CMOS、MCU、RISC、CISC、DSP、ASIC、FPGA等的概念)。(仕兰微面试题目)

2、FPGA 和 ASIC 的概念, 他们的区别。(未知)

答案: FPGA 是可编程 ASIC。

ASIC:专用集成电路, 它是面向专门用途的电路, 专门为一个用户设计和制造的。根据一个用户的特定要求, 能以低研制成本, 短、交货周期供货的全定制, 半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点

3、什么叫做 OTP 片、掩膜片, 两者的区别何在?(仕兰微面试题目)

4、你知道的集成电路设计的表达方式有哪几种?(仕兰微面试题目)

5、描述你对集成电路设计流程的认识。(仕兰微面试题目)

6、简述 FPGA 等可编程逻辑器件设计流程。(仕兰微面试题目)

7、IC 设计前端到后端的流程和 eda 工具。(未知)

8、从 RTL synthesis 到 tape out 之间的设计 flow, 并列出其中各步使用的 tool。(未知)

9、Asic 的 design flow。(威盛 VIA 2003.11.06 上海笔试试题)

10、写出 asic 前期设计的流程和相应的工具。(威盛)

11、集成电路前段设计流程, 写出相关的工具。(扬智电子笔试)

先介绍下 IC 开发流程:

1.) 代码输入 (design input)

用 vhdl 或者是 verilog 语言来完成器件的功能描述, 生成 hdl 代码

语言输入工具: SUMMIT VISUALHDL

MENTOR RENIOR

图形输入: composer(cadence);

viewlogic (viewdraw)

2.) 电路仿真 (circuit simulation)

将 vhd 代码进行先前逻辑仿真, 验证功能描述是否正确
数字电路仿真工具:

Verilog:	CADENCE	Verilog-XL
	SYNOPSYS	VCS
	MENTOR	Modelsim
VHDL:	CADENCE	NC-vhdl
	SYNOPSYS	VSS
	MENTOR	Modelsim

模拟电路仿真工具:

***ANTHSPICE pspice, spectre micro microwave: ceesoft: hp

3.) 逻辑综合 (synthesis tools)

逻辑综合工具可以将设计思想 vhd 代码转化成对应一定工艺手段的门级电路; 将初级仿真中所没有考虑的门沿 (gates delay) 反标到生成的门级网表中, 返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

12、请简述一下设计后端的整个流程? (仕兰微面试题)

13、是否接触过自动布局布线? 请说出两三种工具软件。自动布局布线需要哪些基本元素? (仕兰微面试题)

14、描述你对集成电路工艺的认识。(仕兰微面试题)

15、列举几种集成电路典型工艺。工艺上常提到 0.25, 0.18 指的是什么? (仕兰微面试题)

16、请描述一下国内的工艺现状。(仕兰微面试题)

17、半导体工艺中, 掺杂有哪几种方式? (仕兰微面试题)

18、描述 CMOS 电路中闩锁效应产生的过程及最后的结果? (仕兰微面试题)

19、解释 latch-up 现象和 Antenna effect 和其预防措施。(未知)

20、什么叫 Latchup? (科广试题)

21、什么叫窄沟效应? (科广试题)

22、什么是 NMOS、PMOS、CMOS? 什么是增强型、耗尽型? 什么是 PNP、NPN? 他们有什么差别? (仕兰微面试题)

23、硅栅 COMS 工艺中 N 阱中做的是 P 管还是 N 管, N 阱的阱电位的连接有什么要求? (仕兰微面试题)

24、画出 CMOS 晶体管的 CROSS-OVER 图 (应该是纵剖面图), 给出所有可能的传输特性和转移特性。(Infineon 笔试试题)

25、以 interver 为例, 写出 N 阱 CMOS 的 process 流程, 并画出剖面图。(科广试题)

26、Please explain how we describe the resistance in semiconductor. Compare the resistance of a metal, poly and diffusion in traditional CMOS process. (威盛笔试题 circuit design-beijing-03.11.09)

27、说明 mos 一半工作在什么区。(凹凸的题目和面试)

28、画 p-bulk 的 nmos 截面图。(凹凸的题目和面试)

29、写 schematic note (?), 越多越好。(凹凸的题目和面试)

30、寄生效应在 ic 设计中怎样加以克服和利用。(未知)

31、太底层的 MOS 管物理特性感觉一般不大会作为笔试面试题，因为全是微电子物理，公

式推导太罗索，除非面试出题的是个老学究。IC 设计的话需要熟悉的软件: Cadence, Synopsys, Avant, UNIX 当然也要大概会操作。

32、unix 命令 cp -r, rm, uname。(扬智电子笔试)

单片机、MCU、计算机原理

1、简单描述一个单片机系统的主要组成模块，并说明各模块之间的数据流流向和控制流流向。简述单片机应用系统的设计原则。(仕兰微面试题目)

2、画出 8031 与 2716 (2K*8ROM) 的连线图，要求采用三-八译码器，8031 的 P2.5, P2.4 和

P2.3 参加译码，基本地址范围为 3000H-3FFFH。该 2716 有没有重叠地址？根据是什么？若

有，则写出每片 2716 的重叠地址范围。(仕兰微面试题目)

3、用 8051 设计一个带一个 8*16 键盘加驱动八个数码管（共阳）的原理图。(仕兰微面试题目)

4、PCI 总线的含义是什么？PCI 总线的主要特点是什么？(仕兰微面试题目)

5、中断的概念？简述中断的过程。(仕兰微面试题目)

6、如单片机中断几个/类型，编中断程序注意什么问题；(未知)

7、要用一个开环脉冲调速系统来控制直流电动机的转速，程序由 8051 完成。简单原理如下：由 P3.4 输出脉冲的占空比来控制转速，占空比越大，转速越快；而占空比由 K7-K0 八个

开关来设置，直接与 P1 口相连（开关拨到下方时为“0”，拨到上方时为“1”，组成一个八位二进制数 N），要求占空比为 N/256。(仕兰微面试题目)

下面程序用计数法来实现这一功能，请将空余部分添完整。

```
MOV P1, #0FFH
```

```
LOOP1 : MOV R4, #0FFH
```

```
-----
```

```
MOV R3, #00H
```

```
LOOP2 : MOV A, P1
```

```
-----
```

```
SUBB A, R3
```

```
JNZ SKP1
```

```
-----
```

```
SKP1: MOV C, 70H
```

```
MOV P3.4, C
```

```
ACALL DELAY : 此延时子程序略
```

```
-----
```

```
-----
```

```
AJMP LOOP1
```

8、单片机上电后没有运转，首先要检查什么？(东信笔试题)

9、What is PC Chipset? (扬智电子笔试)

芯片组 (Chipset) 是主板的核心组成部分，按照在主板上的排列位置的不同，通常分为

北桥芯片和南桥芯片。北桥芯片提供对 CPU 的类型和主频、内存的类型和最大容量、ISA/PCI/AGP 插槽、ECC 纠错等支持。南桥芯片则提供对 KBC (键盘控制器)、RTC (实时

时钟控制器)、USB (通用串行总线)、Ultra DMA/33(66)EIDE 数据传输方式和 ACPI (高级能源管理) 等的支持。其中北桥芯片起着主导性的作用, 也称为主桥 (Host Bridge)。

除了最通用的南北桥结构外, 目前芯片组正向更高级的加速集线架构发展, Intel 的 8xx 系列芯片组就是这类芯片组的代表, 它将一些子系统如 IDE 接口、音效、MODEM 和 USB 直

接接入主芯片, 能够提供比 PCI 总线宽一倍的带宽, 达到了 266MB/s。

10、如果简历上还说做过 cpu 之类, 就会问到诸如 cpu 如何工作, 流水线之类的问题。(未知)

11、计算机的基本组成部分及其各自的作用。(东信笔试题)

12、请画出微机接口电路中, 典型的输入设备与微机接口逻辑示意图 (数据接口、控制接口、寄存器/缓冲器)。(汉王笔试)

13、cache 的主要部分什么的。(威盛 VIA 2003.11.06 上海笔试试题)

14、同步异步传输的差异 (未知)

15、串行通信与同步通信异同, 特点, 比较。(华为面试题)

16、RS232c 高电平脉冲对应的 TTL 逻辑是? (负逻辑?) (华为面试题)

信号与系统

1、的话音频率一般为 300~3400HZ, 若对其采样且使信号不失真, 其最小的采样频率应为多大? 若采用 8KHZ 的采样频率, 并采用 8bit 的 PCM 编码, 则存储一秒钟的信号数据量有多

大? (仕兰微面试题目)

2、什么耐奎斯特定律, 怎么由模拟信号转为数字信号。(华为面试题)

3、如果模拟信号的带宽为 5khz, 要用 8K 的采样率, 怎么办? (lucent) 两路?

4、信号与系统: 在时域与频域关系。(华为面试题)

5、给出时域信号, 求其直流分量。(未知)

6、给出一时域信号, 要求 (1) 写出频率分量, (2) 写出其傅立叶变换级数; (3) 当波形经过低通滤波器滤掉高次谐波而只保留一次谐波时, 画出滤波后的输出波形。(未知)

7、sketch 连续正弦信号和连续矩形波(都有图)的傅立叶变换。(Infineon 笔试试题)

8、拉氏变换和傅立叶变换的表达式及联系。(新太硬件面题)

DSP、嵌入式、软件等

1、请用方框图描述一个你熟悉的实用数字信号处理系统, 并做简要的分析; 如果没有, 也可以自己设计一个简单的数字信号处理系统, 并描述其功能及用途。(仕兰微面试题目)

2、数字滤波器的分类和结构特点。(仕兰微面试题目)

3、IIR, FIR 滤波器的异同。(新太硬件面题)

4、拉氏变换与 Z 变换公式等类似东西, 随便翻翻书把如 $h(n) = -a * h(n-1) + b * \delta(n)$ a. 求 $h(n)$ 的 z 变换; b. 问该系统是否为稳定系统; c. 写出 FIR 数字滤波器的差分方程; (未知)

5、DSP 和通用处理器在结构上有什么不同, 请简要画出你熟悉的一种 DSP 结构图。(信威

dsp 软件面试题)

6、说说定点 DSP 和浮点 DSP 的定义 (或者说出他们的区别) (信威 dsp 软件面试题)

7、说说你对循环寻址和位反序寻址的理解. (信威 dsp 软件面试题)

8、请写出【-8, 7】的二进制补码, 和二进制偏置码。用 Q15 表示出 0.5 和 -0.5. (信威 dsp 软件面试题)

9、DSP 的结构 (哈佛结构): (未知)

10、嵌入式处理器类型(如 ARM), 操作系统种类 (Vxworks,ucos,winCE,linux), 操作系统方面偏 CS 方向了, 在 CS 篇里面讲了; (未知)

11、有一个 LDO 芯片将用于对手机供电, 需要你对他进行评估, 你将如何设计你的测试项目?

12、某程序在一个嵌入式系统 (200M CPU, 50M SDRAM) 中已经最优化了, 换到另一个系

统 (300M CPU, 50M SDRAM) 中是否还需要优化? (Intel)

13、请简要描述 HUFFMAN 编码的基本原理及其基本的实现方法。(仕兰微面试题目)

14、说出 OSI 七层网络协议中的四层 (任意四层)。(仕兰微面试题目)

15、A) (仕兰微面试题目)

```
#include
void testf(int*p)
{
    *p+=1;
}
main()
{
    int *n,m[2];
    n=m;
    m[0]=1;
    m[1]=8;
    testf(n);
    printf("Data value is %d ",*n);
}
```

B)

```
#include
void testf(int**p)
{
    *p+=1;
}
main()
{int *n,m[2];
    n=m;
    m[0]=1;
    m[1]=8;
    testf(&n);
```

```
printf("Data value is %d",*n);  
}
```

下面的结果是程序 A 还是程序 B 的?

Data value is 8

那么另一段程序的结果是什么?

- 16、那种排序方法最快? (华为面试题)
- 17、写出两个排序算法,问哪个好? (威盛)
- 18、编一个简单的求 $n!$ 的程序。(Infineon 笔试试题)
- 19、用一种编程语言写 $n!$ 的算法。(威盛 VIA 2003.11.06 上海笔试试题)
- 20、用 C 语言写一个递归算法求 $N!$: (华为面试题)
- 21、给一个 C 的函数,关于字符串和数组,找出错误: (华为面试题)
- 22、防火墙是怎么实现的? (华为面试题)
- 23、你对哪方面编程熟悉? (华为面试题)
- 24、冒泡排序的原理。(新太硬件面试题)
- 25、操作系统的功能。(新太硬件面试题)
- 26、学过的计算机语言及开发的系统。(新太硬件面试题)
- 27、一个农夫发现围成正方形的围栏比长方形的节省 4 个木桩但是面积一样.羊的数目和正方形围栏的桩子的个数一样但是小于 36,问有多少羊? (威盛)
- 28、C 语言实现统计某个 cell 在某.v 文件调用的次数(这个题目真 bt) (威盛 VIA 2003.11.06 上海笔试试题)
- 29、用 C 语言写一段控制手机中马达振子的驱动程序。(威胜)
- 30、用 perl 或 TCL/Tk 实现一段字符串识别和比较的程序。(未知)
- 31、给出一个堆栈的结构,求中断后显示结果,主要是考堆栈压入返回地址存放在低端地址还是高端。(未知)
- 32、一些 DOS 命令,如显示文件,拷贝,删除。(未知)
- 33、设计一个类,使得该类任何形式的派生类无论怎么定义和实现,都无法产生任何对象实例。(IBM)
- 34、What is pre-emption? (Intel)
- 35、What is the state of a process if a resource is not available? (Intel)
- 36、三个 float a,b,c;问值 $(a+b)+c==(b+a)+c$, $(a+b)+c==(a+c)+b$ 。(Intel)
- 37、把一个链表反向填空。(lucent)
- 38、 $x^4+a*x^3+x^2+c*x+d$ 最少需要做几次乘法? (Dephi)

主观题

- 1、你认为你从事研发工作有哪些特点? (仕兰微面试题目)
- 2、说出你的最大弱点及改进方法。(威盛 VIA 2003.11.06 上海笔试试题)
- 3、说出你的理想。说出你想达到的目标。 题目是英文出的,要用英文回答。(威盛 VIA 2003.11.06 上海笔试试题)
- 4、我们将研发人员分为若干研究方向,对协议和算法理解(主要应用在网络通信、图象语音压缩方面)、电子系统方案的研究、用 MCU、DSP 编程实现电路功能、用 ASIC 设计技术 设计电路(包括 MCU、DSP 本身)、电路功能模块设计(包括模拟电路和数字电路)、集成 电路后端设计(主要是指综合及自动布局布线技术)、集成电路设计与工艺接口的研

究。

你希望从事哪方面的研究？（可以选择多个方向。另外，已经从事过相关研发的人员可以详细描述你的研发经历）。（仕兰微面试题目）

5、请谈谈对一个系统设计的总体思路。针对这个思路，你觉得应该具备哪些方面的知识？（仕兰微面试题目）

6、设想你将设计完成一个电子电路方案。请简述用 EDA 软件（如 PROTEL）进行设计（包括 原理图和 PCB 图）到调试出样机的整个过程。在各环节应注意哪些问题？电源的稳定，电 容的选取，以及布局的大小。（汉王笔试）

共同的注意点

1.一般情况下，面试官主要根据你的简历提问，所以一定要对自己负责，把简历上的东西搞明白；

2.个别招聘针对性特别强，就招目前他们确的方向的人，这种情况下，就要投其所好，尽量介绍其所关心的东西。

3.其实技术面试并不难，但是由于很多东西都忘掉了，才觉得有些难。所以最好在面试前把该看的书看看。

4.虽然说技术面试是实力的较量与体现，但是不可否认，由于不用面试官/公司所专领域 及爱好不同，也有面试也有很大的偶然性，需要冷静对待。不能因为被拒，就否认自己或 责骂公司。

5.面试时要 take it easy，对越是自己钟情的公司越要这样

硬件工程师基础知识

作者:jialong @ 2006-05-22, 13:26

硬件工程师基础知识

目的：基于实际经验与实际项目详细理解并掌握成为合格的硬件工程师的最基本知识。

- 1) ；基本设计规范
- 2) ；CPU 基本知识、架构、性能及选型指导
- 3) ；MOTOROLA 公司的 PowerPC 系列基本知识、性能详解及选型指导
- 4) ；网络处理器(INTEL、MOTOROLA、IBM)的基本知识、架构、性能及选型
- 5) ；常用总线的基本知识、性能详解
- 6) ；各种存储器的详细性能介绍、设计要点及选型
- 7) ；Datacom、Telecom 领域常用物理层接口芯片基本知识，性能、设计要点及选型
- 8) ；常用器件选型要点与精华

- 9) : FPGA、CPLD、EPLD 的详细性能介绍、设计要点及选型指导
- 10) : VHDL 和 Verilog ; HDL 介绍
- 11) : 网络基础
- 12) : 国内大型通信设备公司硬件研究开发流程;

二. 最流行的 EDA 工具指导

熟练掌握并使用业界最新、最流行的专业设计工具

- 1) : Innoveda 公司的 ViewDraw, PowerPCB, Cam350
- 2) : CADENCE 公司的 OrCad, ; Allegro, Spectra
- 3) : Altera 公司的 MAX+PLUS ; II
- 4) : ; 学习熟练使用 VIEWDRAW、ORCAD、POWERPCB、SPECCTRA、ALLEGRO、CAM350、MAX+PLUS ; II、ISE、FOUNDATION 等工具;
- 5) : XILINX 公司的 FOUNDATION、ISE

一. : 硬件总体设计

掌握硬件总体设计所必须具备的硬件设计经验与设计思路

- 1) : 产品需求分析
- 2) : 开发可行性分析
- 3) : 系统方案调研
- 4) : 总体架构, CPU 选型, 总线类型
- 5) : 数据通信与电信领域主流 CPU: M68k 系列, PowerPC860, PowerPC8240, 8260 体系结构, 性能及对比;
- 6) : 总体硬件结构设计及应注意的问题;
- 7) : 通信接口类型选择
- 8) : 任务分解
- 9) : 最小系统设计;
- 10) : PCI 总线知识与规范;
- 11) : 如何在总体设计阶段避免出现致命性错误;
- 12) : 如何合理地进行任务分解以达到事半功倍的效果?
- 13) : 项目案例: 中、低端路由器等

二. : 硬件原理图设计技术 ;

目的: 通过具体的项目案例, 详细进行原理图设计全部经验, 设计要点与精髓揭密。

- 1) : 电信与数据通信领域主流 CPU (M68k, PowerPC860, 8240, 8260 等) 的原理设计经验与精华;
- 2) : Intel 公司 PC 主板的原理图设计精髓
- 3) : 网络处理器的原理设计经验与精华;
- 4) : 总线结构原理设计经验与精华;
- 5) : 内存系统原理设计经验与精华;
- 6) : 数据通信与电信领域通用物理层接口的原理设计经验与精华; ;
- 7) : 电信与数据通信设备常用的 WATCHDOG 的原理设计经验与精华;
- 8) : 电信与数据通信设备系统带电插拔原理设计经验与精华;

- 9) : 晶振与时钟系统原理设计经验与精华;
- 10) : PCI 总线的原理图设计经验与精华;
- 11) : 项目案例: 中、低端路由器等

三. 硬件 PCB 图设计

目的: 通过具体的项目案例, 进行 PCB 设计全部经验揭密, 使你迅速成长为优秀的硬件工程师

- 1) : 高速 CPU 板 PCB 设计经验与精华;
- 2) : 普通 PCB 的设计要点与精华
- 3) : MOTOROLA 公司的 PowerPC 系列的 PCB 设计精华
- 4) : Intel 公司 PC 主板的 PCB 设计精华
- 5) : PC 主板、工控机主板、电信设备用主板的 PCB 设计经验精华;
- 6) : 国内著名通信公司 PCB 设计规范与工作流程;
- 7) : PCB 设计中生产、加工工艺的相关要求;
- 8) : 高速 PCB 设计中的传输线问题;
- 9) : 电信与数据通信领域主流 CPU (PowerPC 系列) 的 PCB 设计经验与精华;
- 10) : 电信与数据通信领域通用物理层接口(百兆、千兆以太网, ATM 等)的 PCB 设计经验与精华;
- 11) : 网络处理器的 PCB 设计经验与精华;
- 12) : PCB 步线的拓扑结构极其重要性;
- 13) : PCI 步线的 PCB 设计经验与精华;
- 14) : SDRAM、DDR ; SDRAM (125/133MHz) 的 PCB 设计经验与精华;
- 15) : 项目案例: 中端路由器 PCB 设计

四. 硬件调试

目的: 以具体的项目案例, 传授硬件调试、测试经验与要点

- 1) : 硬件调试等同于黑箱调试, 如何快速分析、解决问题?
- 2) : 大量调试经验的传授;
- 3) : 如何加速硬件调试过程
- 4) : 如何迅速解决硬件调试问题
- 5) : DATACOM 终端设备的 CE 测试要求

五. 软硬件联合调试 :

- 1) : 如何判别是软件的错?
- 2) : 如何与软件进行联合调试?
- 3) : 大量的联合调试经验的传授;

目的: 明确职业发展的方向与定位, 真正理解大企业人才的要求, 明确个人在职业技能方面努力的方向。

- 1) : 职业生涯咨询与指导
- 2) : 如何成为优秀的硬件开发工程师并获取高薪与高职?
- 3) : 硬件工程师的困境与出路
- 4) : 优秀的硬件工程师的标准

个准电子工程师的实习经历

作者:jialong @ 2006-05-22, 13:23

昨天公司终止了我的实习合同，离开时和我们总监、部门经理、组长及带我的师傅谈了一下，昨天晚上自己也好好反省了一下，有一些感想，所以想写下来跟论坛的朋友分享一下自己一些经验感受，也希望能对即将要毕业的同学有一点点帮助了。毕竟上大学后就没写过什么东西了，有些地方写的不好，或者说表达不清楚请大家谅解。也欢迎各位大侠前来指点一下。

我是三月份开始到这家公司实习至今已有三个多月了，总的来讲收获的不少，得到的教训也不少，就是付出的太少，公司给了我一个机会，但我自己没把握住。离开公司我不后悔，只有遗憾，自己没做好。教训主要有：

一 要坦诚相待。

我在二月份和另外一家公司签了，签后了解了一下，觉得在那个公司分工太专业了，干什么就干什么，就想找一家公司去实习，在人才市场里找到现在实习的公司，在签实习合同时我给公司讲：我的三方协议书放在别的地方，我觉得我表达的够清楚了，我不知道公司是怎么理解的？反正公司同意我到公司实习。后来公司催我签三方协议书，当时因为 SARS 学校封校，我跟公司讲我现在不能回校（估计后来产生误会就在这里，没有沟通好，下面我也要谈谈这个问题），就说没办法，前两天学校陆续解封了，公司就托我们组长问我是什么态度，经过几个月的了解，我觉得在这家公司对我个人成长来讲是很有利的，我就说我不知道公司是什么态度，我是愿留下来的，并且我也跟她讲了我已和另一个公司签约了，组长也如实向上汇报了，公司总监就认为我不够坦诚，签时没讲清楚。我想这个原因在我，也许我当时讲的更清楚一点，就不会有今天的误会了。

二 要学会沟通

积极主动的去沟通。这点我做的不好。到公司后，由于公司想把系统由 622M 升级到 2.5G，分配我去做宽带音频广播板，让一个师傅带我，因为是在老板子上改进，也就是重新选一个音量可调 CODEC 芯片，把两路立体声增加为四路，把微控制器由 51 换成 ARM，FIFO 由 FPGA 实现，然后把数字音频信号通过 FIFO 进行速率变换适配到 8M HINGWAY 上去。我去的时候公司正好进行规范化管理，要由单板设计方案开始做起，这对一个刚走出大学校门的学生来讲，我还是挺感激公司，给了我一个机会。然后就从芯片选型开始，做单板设计方案，由于公司总体方案还没有确定啊，FPGA 还没有选定用那家，ARM 的 DEMO 板也没调出来，HDLC 也没确定是在 FPGA 中实现还是用 HDLC 控制芯片，做到一半就走不下去了，这时我就用 QuartusII 边写边仿真，中间大概有两个星期工作处于停顿状态。这时我也没向组长反映情况，报告现在碰到的困难。昨天我跟部门经理、组长谈的时候，他就提到了这个问题，就指出说我很少跟他们沟通，不了解我的情况，有困难要反映，不然就不知当时你的想法，象公司是做系统的，特别要求讲求沟通、合作。这点我做的不好。昨天我走的时候，一个搞软件的师兄就指出：我们刚毕业的学生只知道做，但不知道怎样去沟通，让你的上司看到你做了，并且做出效果来了。

三 要主动积极去做

部门经理、组长就指出我做事不够积极主动，主要体现在在中间要我跟我师傅一起调一块板子，但我师傅做了主要的，我觉得我插不上手，就没有主动去做。我觉得没做对我来讲是一个损失，少了一个学习的机会，不要因为你没经验就不去做，你不做就永远没经验去体会。

四 要有点职业精神

我想我不积极主动的原因可能是公司给我工资太少了才 500 块，不过我现在想起来既

然我同意这个工资，那我就要认真的做下去，因为是你同意的，不管别人给你工资再少，你怎要把自己的事做好，自己问心无愧。

我觉得我实习最大的收获是：要想先做好事就要先做好人。尽管我觉得我这次实习以提前终止合同而告终，我想对我以后不管是做人还是做事都有很大帮助。

罗罗嗦嗦讲这么多，我只希望能我一样刚毕业的同学有所帮助。也希望各位大侠提出你们的宝贵意见，毕竟这是站在我的角度上所想到的，当局者迷，欢迎大家多多指教！

个人空间 :: 回复 (0) :: 静态链接网址 :: 引用 (0)

电子工程(EE)电路方面 (偏底层电路级别)

作者:jialong @ 2006-05-22, 13:19

电子工程(EE)电路方面 (偏底层电路级别)

1.模拟电路设计

基础知识(笔试时候容易遇到的题目)

- 1.最基本的如三极管曲线特性(太低极了点)
- 2.基本放大电路，种类，优缺点，特别是广泛采用差分结构的原因
- 3.反馈之类，如：负反馈的优点(带宽变大)
- 4.频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法
- 5.锁相环电路组成，振荡器(比如用 D 触发器如何搭)
- 6.A/D 电路组成,工作原理

如果公司做高频电子的，可能还要 RF 知识，调频，鉴频鉴相之类，不一一列举
太底层的 MOS 管物理特性感觉一般不大会作为笔试面试题，因为全是微电子物理，

公

式推导太罗嗦，除非面试出题的是个老学究

ic 设计的话需要熟悉的软件: Cadence, Synopsys, Advant, UNIX 当然也要大概会操作

实际工作所需要的一些技术知识(面试容易问到)

如电路的低功耗，稳定，高速如何做到，调运放，布版图注意的地方等等,一般会针对简历上你所写做过的东西具体问，肯定会问得很细(所以别把什么都写上，精通之类的词也别用太多了)，这个东西各个人就不一样了，不好说什么了。

2.数字电路设计

当然必问 Verilog/VHDL，如设计计数器

逻辑方面数字电路的卡诺图化简，时序(同步异步差异)，触发器有几种(区别，优点)，全加器等等

比如：设计一个自动售货机系统，卖 soda 水的，只能投进三种硬币，要正确的找回钱数

- 1.画出 fsm (有限状态机)

- 2.用 verilog 编程，语法要符合 fpga 设计的要求

系统方面：如果简历上还说做过 cpu 之类，就会问到诸如 cpu 如何工作，流水线之类的问题

3.单片机、DSP、FPGA、嵌入式方面(从没碰过，就大概知道几个名字胡扯几句，欢迎拍砖，也欢迎牛人帮忙补充)

如单片机中断几个/类型，编中断程序注意什么问题

DSP 的结构 (冯.诺伊曼结构吗?)

嵌入式处理器类型(如 ARM), 操作系统种类 (Vxworks,ucos,winCE,linux), 操作系统方面偏 CS 方向了, 在 CS 篇里面讲了

4.信号系统基础

拉氏变换与 Z 变换公式等类似东西, 随便翻翻书把

如 $h(n)=-a*h(n-1)+b*\delta(n)$ a.求 $h(n)$ 的 z 变换 b.问该系统是否为稳定系统 c.写出 FIR 数字滤波器的差分方程

以往各种笔试题举例

利用 4 选 1 实现 $F(x,y,z)=xz+yz'$

用 mos 管搭出一个二输入与非门。 用传输门和倒向器搭一个边沿触发器

用运算放大器组成一个 10 倍的放大器

微波电路的匹配电阻。

名词解释, 无聊的外文缩写罢了, 比如 PCI、ECC、DDR、interrupt、pipeline

IRQ, BIOS, USB, VHDL, VLSI VCO(压控振荡器) RAM (动态随机存储器), FIR IIR DFT(离散傅立叶变换)

或者是中文的, 比如 a 量化误差 b.直方图 c.白平衡

共同的注意点

- 1.一般情况下, 面试官主要根据你的简历提问, 所以一定要对自己负责, 把简历上的东西搞明白;
- 2.个别招聘针对性特别强, 就招目前他们确的方向的人, 这种情况下, 就要投其所好, 尽量介绍其所关心的东西。
- 3.其实技术面试并不难, 但是由于很多东西都忘掉了, 才觉得有些难。所以最好在面试前把该看的书看看。
- 4.虽然说技术面试是实力的较量与体现, 但是不可否认, 由于不用面试官/公司所专领域及爱好不同, 也有面试也有很大的偶然性, 需要冷静对待。不能因为被拒, 就否认自己或责骂公司。
- 5.面试时要 take it easy, 对越是自己钟情的公司越要这样。

个人空间 :: 回复 (0) :: 静态链接网址 :: 引用 (0)

献给电子类的大学生

作者:jialong @ 2006-05-22, 13:15

很久没来这里转转,今天发点牢骚吧,本人专职电源,其他系统也做,主要是硬件,软件丢光了。

五年前的 10 月份开始,我也是一个即将毕业的大学生(二流的),同样在为工作而到处奔波,经过一个月的奔波应聘进入联想深圳研发中心,现在在一家外企做电源 FAE.结合大学及这几年的想法谈谈大学的学习。

大学--我的理解是大大的学,能精固然是好,但最重要的是能博而不要求懂,工作的时候碰到问题就会知道说我当初学过什么,应该从哪里找资料,知道从哪入手那么问题自然就简单了.有句话说:"人知道的东西远远多于他能说出来的",因此专业课自然而然也就变的重要。

再谈细节,软件,现在的社会是金钱的社会,因此各种书籍就满天飞,软件方面也不例外(钱

啊!其实我建议如果有电脑的话,可以经常上网搜,网络里面有无穷的资源),而这些书能给你的就只有概念和思想,很多人在毕业的简历上写精通 C,VC,汇编等等,其实你们有几个人敢拍着胸脯说我就是行呢??书该看,经典的书更应该看,但是很重要的一点是要有实战经验. 现在的大学生月消费很高,400?500?甚者有上千,其实你们如果有心的话,可以节约一点,攒点钱去买一些 demo 板,这些是你实战的最好工具,从书本走向实际的第一步.而且,你把 demo 玩熟之后还可以把它卖给你的同学或其他等等,从开始到最后其实你花不了太多的 money 的,更何况知识是无价的呢,呵呵. 本人不会做软件,在吹牛见笑拉!

再谈硬件:软件由思想指导,好的思想就有可能写出好的程序,而对硬件来讲就要说到前面讲的博了!对于一个做硬件的人来讲有很多基本知识要掌握的,然后是多看,看别人的电路,见多了说不定哪天你就用的到拉. 硬件的基本知识首推模拟电子了,重中之重,模电中用的最多的是运放的应用(跟随器,比较器,放大器,滤波器,积分,微分,这些都要很熟练的),另外要熟悉(最起码要知道)一些经典电路. 模电说完就谈数电吧,其实现在的数电都很简单,很多芯片都做好了,你只要把他连接就 OK 了,因此我们要从另一方面入手,即对各种总线和接口要熟悉,现在常用的总线有 USB,1394,PCI,PC/104,PCIE,I2C 等等,不要求你理解他们的协议但是最起码应该知道有多少引脚,知道长什么模样吧;再者是接口—串口,并口,1394 口, LAN,VGA,LVDS,DVI 等等,要求同上.

谈到这,如果你做到了,在你找工作的时候和别人谈的话,基本上人家就不会说你眼高手低了,最起码我们有那么点货,缺少的是火货了!

还有一点,基础有了,还要有心. 有条件的话多上网,和别人交流,多看别人的问题,看别人是怎么样解决问题的,或者这种问题你知道你也可以告诉别人或者别人有不同的见解呢?!交流才会进步!

牛皮吹完了,该走拉,呵呵. 最后说一句:想做技术就要踏踏实实的学,有求学的态度! 祝你们成功!

个人空间 :: 回复 (0) :: 静态链接网址 :: 引用 (0)

开始篇

作者:jialong @ 2006-05-19, 17:39

人在生活中的每一天,都在发生着各种各样的事情,有时候还想记录一下,我想这就是最合适的地方了吧!! 嗯,要记录生活中的点点滴滴

终于有了自己的 BLOG 了,哈哈,以后我会善心的来管理的
希望大家也能经常光顾!!

个人空间 :: 回复 (0) :: 静态链接网址 :: 引用 (0)

IQ 测试题

作者:jialong @ 2006-05-19, 17:34

1.有 10 堆苹果,每一堆 10 个,其中一堆每个 240g,其它每堆都是 250g/个,有一把称 ,请你只称一次把那一堆 240 的苹果找出来 .

2.三个薄壁无罩容器,分别 $1 \times 1 \times 1$, $2 \times 2 \times 2$, $3 \times 3 \times 3$ 个单位: 请只打开一次水龙头, 测出 13 个立方单位的水。不允许浪费水。

3.24 个人要求排成 6 排, 每排 5 人, 如何排?

4.李开复的一道面试题:

李开复: 问你一个跟计算机有点儿关系的问题。今天如果你有一千个苹果, 有十个箱子, 那么现在我要把一千个苹果放进十个箱子里面, 放完之后, 我希望不管永华同学(北大一学生)跟我要多少苹果, 我都可以整箱整箱给他, 这个问题有解吗?

解: 第一个到第九个箱子分别放 1, 2, 4, 8, 16, ..., 256。第十个箱子放 $1000 - 511 = 489$ 。这样如要取的苹果数小于等于 511 则用前九个箱子的苹果来搞定, 如要 $323 = 101000011$ 即 $256 + 64 + \dots + 2 + 1$ 。如要的数 M 大于 511 且小于等于 1000, 则取 $489 + (M - 489)$, $M - 489$ 小于等于 511 取法和前述方法一样。

1.有 10 堆苹果, 每一堆 10 个, 其中一堆每个 240g, 其它每堆都是 250g/个, 有一把称, 请你只称一次把那一堆 240 的苹果找出来。

2.三个薄壁无罩容器, 分别 $1 \times 1 \times 1$, $2 \times 2 \times 2$, $3 \times 3 \times 3$ 个单位: 请只打开一次水龙头, 测出 13 个立方单位的水。不允许浪费水。

3.24 个人要求排成 6 排, 每排 5 人, 如何排?

4.李开复的一道面试题:

李开复: 问你一个跟计算机有点儿关系的问题。今天如果你有一千个苹果, 有十个箱子, 那么现在我要把一千个苹果放进十个箱子里面, 放完之后, 我希望不管永华同学(北大一学生)跟我要多少苹果, 我都可以整箱整箱给他, 这个问题有解吗?

解: 第一个到第九个箱子分别放 1, 2, 4, 8, 16, ..., 256。第十个箱子放 $1000 - 511 = 489$ 。这样如要取的苹果数小于等于 511 则用前九个箱子的苹果来搞定, 如要 $323 = 101000011$ 即 $256 + 64 + \dots + 2 + 1$ 。如要的数 M 大于 511 且小于等于 1000, 则取 $489 + (M - 489)$, $M - 489$ 小于等于 511 取法和前述方法一样。

