

谢玉东

出生年月：1998.02
籍贯：河南省周口市

电话：157-5177-5602
邮箱：wxnxybwj@163.com

求职意向

数字IC前端设计
SoC设计



教育背景

2021.09-2024.04	南京航空航天大学	集成电路设计（研究生）	保研
2017.09-2021.06	江苏科技大学	电子信息工程（本科）	Top1%

项目经验

●人工智能芯片的单粒子效应(SEU)研究（科研）

2020.10-2022.04

项目简介: 基于FPGA设计一个CNN网络，利用SEU故障注入平台，对人工智能芯片进行 SEU 评估，根据评估结果，使用 STMR 对CNN 进行必要的加固设计。

负责工作: 基于FPGA 设计实现 Lenet-5 网络，实现手写数字识别，能通过 SPI 将识别结果在OLED上显示。通过force-release对 RTL代码 的 SEU 行为建模，对可靠性进行评估，并使用STMR方案进行加固设计。

完成指标: 时钟频率100MHz，识别帧率4000FPS，在SEU的比特错误率低于 10^{-6} 时，由SEU引起的精度下降减少了66.2%。

●弹性复杂干扰信号轻量化智能对抗处理组合系统（研究所项目）

2021.12-2022.03

项目简介: 通过深度学习算法对雷达有源干扰信号进行识别，并将算法在ZYNQ 端进行部署。

负责工作: 使用ZYNQ PS的以太网接收来自上位机的雷达数据，并在PS DDR中进行缓存。采用 req-valid 握手协议与CNN IP 进行可靠的数据交互，数据由AXI DMA下行至 PL BRAM，并进行乒乓缓存。BRAM与CNN IP直接进行数据交互。CNN的识别结果写入 BRAM后，先经AXI_BRAM_Controller 上传到PS，再由PS通过串口传输给上位机。

●人工智能芯片设计（嵌入式芯片设计大赛--芯片设计专项赛）

2022.08-2022.11

项目简介: 设计一个目标检测 AI IP，AI IP可通过NICE接口连至E203处理器内核、可通过 ICB 接口连接至system bus总线，含有一个中断请求信号。完成 AI IP 的整个 ASIC 流程，并在 FPGA 侧完成AI IP 的功能验证。

负责工作: 首先使用对YoLo FasterV2进行全精度训练，融合Conv和BN后进行W8A16的定点化处理。接着，根据网络框架进行 Verilog代码编写，Python-VCS交互仿真验证，Spyglass代码分析，覆盖率统计等，完成AI IP 的前端设计。其次，将AI IP、SRAM 与 E203 进行系统集成，搭建 FPGA 侧功能验证框架。然后，基于PyQt5开发上位机，通过串口为 E203 处理器提供输入图像数据，将识别结果可视化。最后，使用NucleiStudio 实现软件端开发，完成 AI IP 与E203的功能验证。

项目指标: AI IP 以224x224x3的图像为输入，在16 MHz系统频率下，识别帧率达到10 fps。在SIMC40nm工艺下功耗为0.97mw，面积为1.36mm²。

●卷积神经网络的硬件友好型量化训练研究（重点实验室基金、毕业设计）

2022.11-至今

项目简介: 针对深度学习模型在嵌入式平台上实现在线训练的需求，开展基于低位宽定点数的模型训练方法和基于FPGA的网络模型训练加速方法研究。

负责工作: 研究典型CNN的量化训练算法，并基于ZYNQ MPSoC完成ResNet网络的定点训练。

现有进展: 研究了网络中各种算子的前向和反向的数据流，采用量化感知训练方案，完成了ResNet18网络Per-layer的8bit对称均匀量化，在cifar10数据集上的top1精度为62%。目前在尝试使用Per-channel的量化方式或拓展位宽来提高模型精度。

●高速ADC芯片设计（科研）

2023.06-至今

项目简介: 基于TSMC16nm工艺设计实现 64 路 AD 转换电路，每路数据位宽9bit，由模拟电路实现，转换结果存储到数字部分的RAM，时钟频率为1GHz，同时在数字部分实现寄存器阵列。外部通过 SPI 读写寄存器或 RAM 来控制/获取 ADC 芯片工作模式、转换结果获取，SPI 时钟频率为50MHz。

负责工作: 指导并协助完成 SPI 控制器的RTL设计、代码质量检验等工作。

学术成果

电子器件: 《高能效的目标检测硬件加速设计》，学生一作

荣誉证书

- ◆ 2022年嵌入式芯片与系统设计大赛-芯片设计赛道华东赛区一等奖、全国总决赛三等奖（1/6）
- ◆ 2020年蓝桥杯单片机设计与开发省赛一等奖；全国总决赛一等奖（个人赛）
- ◆ 2018年江苏省第十五届高等数学竞赛一等奖；全国大学生第十届高等数学竞赛三等奖
- ◆ 研究生学业奖学金一等*3，新生特别奖学金；本科特等奖学金*2、一等奖学金*1、国家励志奖学金*2；CET4、计算机二级证书

专业技能

- ◆ 熟悉ASIC流程，具备扎实的数字IC前端经验、包括CDC、STA等
- ◆ 熟悉Verilog, SystemVerilog, UVM, Python, C/C++, Tcl
- ◆ 熟悉ResNet, YoLo等CNN网络结构，有模型量化基础
- ◆ 熟悉Vivado, VCS, Verdi, DC, Spyglass等EDA工具
- ◆ 熟悉AXI, AHB, APB总线, E203处理器, 总线仲裁算法, Cache基础等
- ◆ 良好的设计文档书写和英文手册阅读能力