

单选题

笔记本： 笔试

创建时间： 2020/9/7 20:58

更新时间： 2020/9/8 15:48

作者： 仰头、望天

感谢您确认参加紫光展锐2020年9月7日在线笔试，目前我们的安排如下：

笔试时间：晚上19：00

测评时间：晚上20：40

笔试内容：专业笔试（90分钟）+性格测试（30分钟），总计120分钟

请提前协调好时间，若有时间冲突，请反馈给我们“参加”与“不参加”，谢谢！

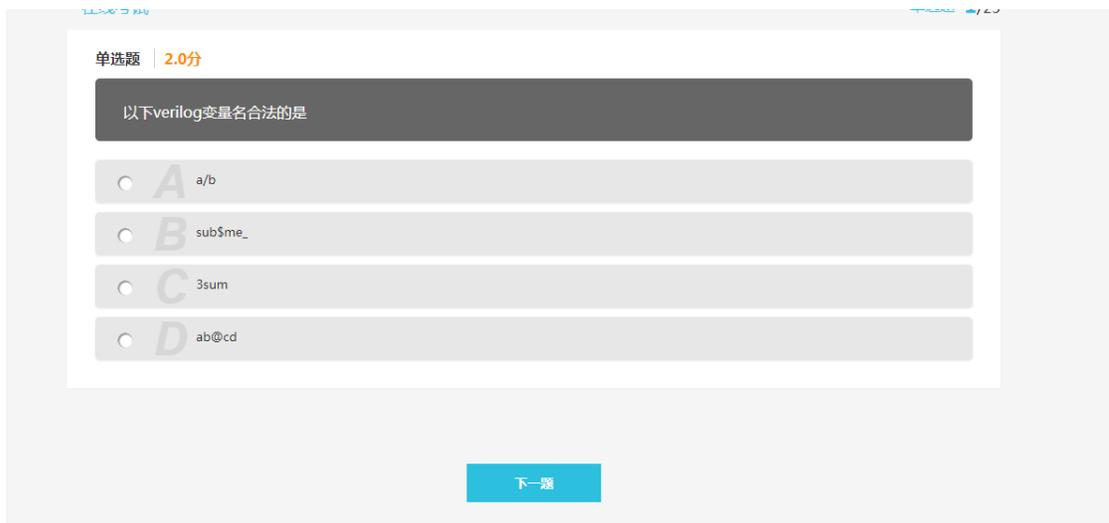
紫光展锐校招组

- [单选题](#)
 - [标识符定义](#)
 - [过程块](#)
 - [描述层次](#)
 - [设计前后端](#)
 - [SV语法——timescale](#)
 - [SV语法——fork…join/join_any/join_none](#)
 - [SV语法——always](#)
 - [UVM语法](#)
 - [Verilog语法](#)
 - [SV语法](#)
- [多选](#)
 - [总线](#)
 - [高速设计](#)
 - [覆盖率](#)
 - [验证维度](#)
 - [亚稳态](#)
- [填空](#)
 - [FIFO数据深度](#)

- [AMBA总线](#)
 - [大小端模式](#)
 - [Linux命令](#)
 - [名词缩写解释](#)
- [回答](#)

单选题

标识符定义



The screenshot shows a question interface with the following content:

单选题 | 2.0分

以下verilog变量名合法的是

- A a/b
- B sub\$me_
- C 3sum
- D ab@cd

At the bottom of the interface is a blue button labeled "下一题".

【B 解析】标识符必须以字母(a-z, A-Z)或()开头，后面可以是字母、数字、(\$)或()

过程块

单选题 | 2.0分

如下对于procedural block说法错误的是

- A initial procedural block只执行一次
- B always procedural block可以循环执行
- C 代码中的procedural block是同时执行的
- D initial和always procedural block可以嵌套

上一题

下一题

【D】两者不可嵌套

描述层次

单选题 | 2.0分

如下的几个Verilog描述层次中，我们常用的是哪个层次

- A Switch Level
- B Register Transfer Level
- C Algorithmic
- D Gate Level

上一题

下一题

【C】

Verilog 有四种不同的层次用来描述一个模块的内部，以下大概的叙述这四个层次：

- 行为或是方程式层次 (Behavioral or algorithmic level)
这是 Verilog HDL 中的最高层次，在这个层次中我们只需要考虑模块的功能或是函数不需要考虑硬件方面详细的电路是如何。在这个层次的设计工作就好像写 C 语言一样。
- 数据处理层次 (Dataflow level)
在这个层次中我们必须指明数据处理的方式。设计的人要说明数据如何在缓存器中储存与传送，在设计里数据处理的方式。
- 逻辑闸层次 (Gate level)
在这层次中模块是由逻辑闸连接而成，在这层次的设计工作就好像以前用描绘逻辑闸来设计线路一样。
- 低阶交换层次 (Switch level)
这是 Verilog 最低阶的层次，线路是由开关与储存点组成。在这层次设计的人须知道晶体管的组件特性。

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 4/25

单选题 | 2.0分

构成C语言程序的基本单位是

- A 子程序
- B 过程
- C 函数
- D 子例程

【C】

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 5/25

单选题 | 2.0分

在C语言中(以16位PC机为例)，5种基本数据类型的存储空间长度的排列顺序为

- A char<int<long int<=float<double
- B char=int<long int<=float<double
- C char=int=long int<=float<double
- D char<int<long int=float=double

上一题 下一题

【A】

数据类型	16位系统(byte)	32位系统(byte)	64位系统(byte)	备注
char	1	1	1	
short、 unsigned short	2	2	2	
int、 unsigned int	2	4	4	
long、 unsigned long	4	4	8	
float	4	4	4	
double	8	8	8	
long long	8	8	8	
long double		10/12	10/16	有效位10字节。32位为了对齐实际分配12字节；64位分配16字节
指针	2	4	8	

紫光展锐 2021校招 专业技术笔试试卷

在线考试

单选题 6/25

单选题 | 2.0分

用补码方式表示的有符号二进制数“1011.10”换算成十进制为多少

- A -4.5
- B -5.5
- C 4.5
- D 5.5

上一题

下一题

【A】

单选题 | 2.0分

修改文件夹“test” 及其下面的所有文件权限为User自己可读可写可执行，Group和Other设定为仅仅可读

- A chmod -R 755 test
- B chmod 755 test
- C chmod -R 722 test
- D chmod -R 744 test

上一题

下一题

【D】

7 = 4 + 2 + 1 读写运行权限

5 = 4 + 1 读和运行权限

4 = 4 只读权限

第一个数字表示用户

第二个数字表示组

第三个数字表示Other，

单选题 | 2.0分

关于this指针使用做法正确的是

- A 保证每个对象拥有自己的数据成员，但共享处理这些数据的代码
- B 保证基类私有成员在子类中可以被访问
- C 保证基类保护成员在子类中可以被访问
- D 保证基类公有成员在子类中可以被访问

上一题

下一题

【D】

`this` 可以引用类一级对象（即基类共有对象）`protect` 声明的对象方法，仅可以被该类和子类可以访问，外部无法访问

local 声明的对象, 仅可以被该类访问, 子类和外部无法访问

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 9/25

单选题 | 2.0分

systemverilog中能够从当前for循环或者while程序块中跳出并运行下一段程序的语句是

- A finish
- B stop
- C continue
- D break

上一题 下一题

【D】

设计前后端

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 10/25

单选题 | 2.0分

下面那个不是IC设计前端的FLOW

- A 门级验证
- B 综合
- C 布局布线
- D RTL设计

上一题 下一题

【C】 布局布线是后端

单选题 | 2.0分

下面哪个是最简单的逻辑门

- A 与非门
- B 与门
- C 或门
- D 非门

上一题

下一题

【D】非门（CMOS反相器），仅需要一个NMOS和PMOS

单选题 | 2.0分

下面哪种不属于Vim编辑器的工作模式

- A 命令模式
- B 插入模式
- C 底行模式
- D 列操作模式

上一题

下一题

【D】

单选题 | 2.0分

一个数组元素a[i]与下面哪个表示等价

- A a+1
- B &a+1
- C *a+1
- D *(a+1)

上一题

下一题

【D】

SV语法——timescale

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 14/25

单选题 | 2.0分

以下的哪个timescale directive定义下, #1.23表示1.23ps

- A `timescale 1ns/10ps
- B `timescale 1ns/1ps
- C `timescale 1ps/10fs
- D `timescale 1ps/100fs

[上一题](#) [下一题](#)

【C】

`timescale 时间单位/时间精度

1皮秒ps=1000飞秒fs

所以10fs=0.01, 选择C

紫光展锐 2021校招 专业技术笔试试卷
在线考试 单选题 15/25

单选题 | 2.0分

下面表达式计算结果为4的是

- A 11/3
- B (float)11/3
- C (int)(11.0/3+0.5)
- D 11.0/3

[上一题](#) [下一题](#)

【C】

$(\text{int})(11.0/3+0.5) = (\text{int})(3.67+0.5) = (\text{int})(4.17) = 4$

单选题 | 2.0分

下列哪种常用电平标准是单端的 ()

- A LVDS
- B RS232
- C RS485
- D PECL

上一题

下一题

【B】

单端信号：一根线信号表示电平，必须考虑地势差问题以及VL/VH的取值范围有足够容差

差分信号：两根线信号表示电平，不需要参考地和VH/VL阈值了。灵敏度高，由于是比较相对差值，振幅可以很低，降低设备在通信上的功耗。抗干扰性强

RS232是单端输入输出

单选题 | 2.0分

在下面的SystemVerilog代码片段中，变量src经过赋值操作后的值是多少？

```
logic [2:0] src;  
src = 4'b01xx;
```

- A 4' b0111
- B 3' b100
- C 3' b1xx
- D 4' b0100

上一题

下一题

单选题 | 2.0分

在C语言中，一个int型数据在内存中占2个字节，则unsigned int型数据的取值范围为

 A 0~32767 B 0~2147483647 C 0~65535 D 0~255

上一题

下一题

【C】

SV语法——

fork...join/join_any/join_none

单选题 | 2.0分

systemverilog中以下语句中哪一个表示等待至少一个进程完成，然后再执行后继的语句

 A fork...join_any B fork...join_none C fork...join_one D fork...join

上一题

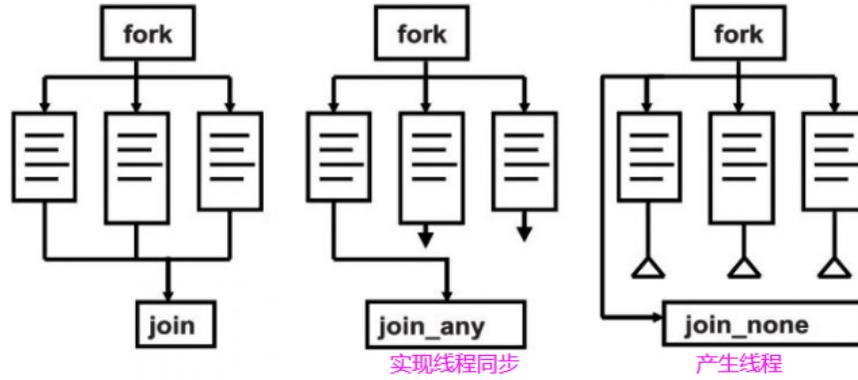
下一题

【A】

表 9-1: fork...join控制选项

选项	描述
join	父进程会阻塞直到这个分支产生的所有进程结束。
join_any	父进程会阻塞直到这个分支产生的任意一个进程结束。
join_none	父进程会继续与这个分支产生的所有进程并发执行。在父线程执行一条阻塞语句之前，产生的进程不会启动执行。

示意图如下



紫光展锐 2021校招 专业技术笔试试卷

在线考试

单选题 20/25

单选题 | 2.0分

linux常用命令中，下列哪个命令用于修改文件的所属群组

- A chown
- B cat
- C chmod
- D chgrp

上一题

下一题

【D】chgrp=change group

cat是concatenate的简写，cat命令的其用途是连接文件或标准输入并打印。

chmod=change mode，改变读写模式

chown=change owner，修改文件所属用户

单选题 | 2.0分

下述概念中不属于面向对象这种编程范畴的是

- A 类、封装
- B 过程调用
- C 继承、多态
- D 对象、消息

上一题

下一题

【B】过程调用是面向过程的程序设计方法的概念

SV语法——always

单选题 | 2.0分

在verilog HDL的always块语句中的语句是如何执行的

- A 不一定
- B 并行
- C 顺序或并行
- D 顺序

上一题

下一题

【D】各个always语句都是独立的，并行执行的。但是always，initial内部的是顺序执行的

UVM语法

单选题 | 2.0分

下面哪个phase在UVM tree中是按照自上而下的顺序执行

- A build_phase
- B start_of_simulation_phase
- C connect_phase
- D end_of_elaboration_phase

上一题

下一题

【A】对于UVM环境中的Phase执行，只有build_phase是自上而下执行，其他的function phase都是自下而上执行的。

Verilog语法

单选题 | 2.0分

Verilog HDL中信号没有定义数据类型时，缺省为什么数据类型

- A z
- B wire
- C tri
- D reg

上一题

下一题

【B】

Verilog程序模块中输入输出的信号类型默认时自动定义为wire型wire型，默认为高阻值z。

补充：systemverilog中，logic不能被多个结构驱动，多个驱动只能用wire

SV语法

单选题 | 2.0分

下列描述中采用时钟正沿触发且reset异步下降沿复位的代码描述是

- A always@(posedge clk or negedge reset) if(!reset)
- B always@(posedge clk or reset) if(!reset)
- C always@(posedge clk or negedge reset) if(reset)
- D always@(negedge clk or posedge reset) if(reset)

上一题

提交此子卷

【A】

多选

总线

多选题 | 3.0分

请找出以下总线中的串行总线

- A IIC
- B AXI
- C UART
- D SDIO

下一题

【ACD】

计算机常见的串行总线：I2C、SPI、RS232、UART、USB

SDIO (Secure Digital Input and Output) 中文名称：安全数字输入输出卡。SDIO可以配置为在SDIO的1BIT模式下DAT0用来传输数据，DAT1用作中断线。在SDIO的4BIT模式下DAT0-DAT3用来传输数据，其中DAT1复用作中断线。所以SDIO也是串行总线

AXI (Advanced eXtensible Interface) 是一种总线协议，该协议是ARM公司提出的AMBA (Advanced Microcontroller Bus Architecture) 3.0协议中最重要的部分，是一

种面向高性能、高带宽、低延迟的片内总线。AXI总线的线虽然多，但是数据信号线可以选择8/16/.../128，所以AXI总线并行总线。

补充：

并行总线在同一时刻可以传输多位数据，好比是一条允许多辆车并排开的宽敞道路，而且它还有双向单向之分；

另一种为串行总线，它在同一时刻只能传输一个数据，好比只容许一辆车行走的狭窄道路，数据必须一个接一个传输、看起来仿佛一个长长的数据串，故称为“串行”。

高速设计

紫光展锐 2021校招 专业技术笔试试卷

在线考试 多选题 2/5

多选题 | 3.0分

超大规模集成电路设计中，为了高速设计，采取以下哪些措施

- A 并行化设计
- B 串行化设计
- C 流水线设计
- D 资源共享

上一题 下一题

【AC】高速设计要求并行化和流水线设计，牺牲集成电路面积，牺牲功耗

覆盖率

多选题 | 3.0分

在验证中下列关于代码覆盖率描述错误的是

- A 代码覆盖率包括语句覆盖率
- B 代码覆盖率包括条件覆盖率
- C 代码覆盖率包括功能覆盖率
- D 代码覆盖率达到100%说明所有Bug已消除

上一题

下一题

【BCD】

代码覆盖率包括行覆盖率（语句覆盖率）、路径覆盖率、翻转覆盖率、有限状态机FSM覆盖率。

功能覆盖率

多选题 | 3.0分

数字电路的验证维度有哪些

- A 完备性
- B 满足性能
- C 复用性
- D 高效性

上一题

下一题

验证维度

【ABCD】

ic验证能力的五个维度：

完备性、代码性能、复用性、高效性、高产出

亚稳态

多选题 | 3.0分

下列哪些方式可以减少亚稳态问题的影响

A 提升系统时钟频率

B 改善时钟质量

C 用反应更快的FF

D 架构上降低 data toggle rate

上一题

提交此答卷

【BCD】

改善亚稳态的方法

1. 降低系统时钟
 2. 用反应更快的FF
 2. 引入同步机制，防止亚稳态传播
 3. 改善时钟质量，用边沿变化快速的时钟信号
- 关键是器件使用比较好的工艺和时钟周期的裕量要大。

填空

FIFO数据深度

填空题 | 3.0分

设计同步FIFO，每100个cycle可以写入80个数据，每10个cycle可以读出8个数据，FIFO的深度至少为_____；

答案： 1 |

下一题

AMBA总线

填空题 | 3.0分

AMBA总线协议包含AXI, AHB, _____, ASB. (请全部用大写字母拼写回答)

答案: 1

上一题

下一题

【APB】

AMBA规范主要包括了AHB(Advanced High performance Bus)系统总线(Advanced System Bus)和APB(Advanced Peripheral Bus)外围总线。

AHB(AMBA高性能总线): 用于高性能。高数据吞吐部件, 如CPU、DMA、DSP之间的连接。

ASB(AMBA系统总线): 用来作处理器与外设之间的互连, 将被AHB取代。

APB(AMBA外设总线): 为系统的低速外部设备提供低功耗的简易互连。

大小端模式

【低, 高】

填空题 | 3.0分

大端模式是指数据的高字节存放在_____地址, 低字节存放在_____地址(填写: "高" 或者"低")

答案: 1

2

上一题

下一题

32位宽的数0x12345678在小端模式CPU内存中的存放方式（假设从地址0x4000开始存放）为：

内存地址	0x4000	0x4001	0x4002	0x4003
存放内容	0x78	0x56	0x34	0x12

而在大端模式CPU内存中的存放方式则为：

内存地址	0x4000	0x4001	0x4002	0x4003
存放内容	0x12	0x34	0x56	0x78

我们常用的X86结构是小端模式，而KEIL C51则为大端模式。很多的ARM，DSP都为小端模式。有些ARM处理器还可以由硬件来选择是大端模式还是小端模式。

Note:采用大端方式进行数据存放符合人类的正常思维，而采用小端方式进行数据存放利于计算机处理。

(我的理解：小端模式在低字节就放一个低位)

大端模式符合人类正常思维，例如写下一万两千三百四十五一样，我们都是从高位数12开始写起，那么纸张最先记录的便是我们写下的高位12

Linux命令

紫光展锐 2021校招 专业技术笔试试卷

在线考试 填空题 4/5

填空题 | 3.0分

在Linux系统中，根据文件名查找文件位置的命令是_____

答案：

上一题 下一题

【find -name xxx】

一、find命令语法格式：

`find [路径] [选项] [操作]`

选项参数对照表：

选项	含义
-name	根据文件名查找
-perm	根据文件权限查找
-prune	该选项可以排除某些查找目录
-user	根据文件属主查找
-group	根据文件属组查找
-mtime -n +n	根据文件更改时间查找

选项	意义
-nogroup	查找无有效属组的文件
-nouser	查找无有效属主的文件
-newer file1 ! file2	查找更改时间比file1新但比file2旧IDE文件
-type	按文件类型查找
-size -n +n	按文件大小查找
-mindepth n	从n级子目录开始搜索
-maxdepth n	最多搜索到n级子目录

名词缩写解释

紫光展锐 2021校招 专业技术笔试试卷
在线考试 填空题 5/5

填空题 | 3.0分

芯片验证方法学UVM的英文全称是_____ (请全部用小写字母拼写回答)

答案： 1

上一题 提交此子卷

【Universal Verification Methodology】

VMM: Verification Methodology Manual 验证方法学

AVM: Advanced Verification Methodology高级验证方法学

OOP: Object-Oriented Programming 面向对象程序设计

OVM: Open Verification Methodology

SCV: SystemC Verification Library SystemC验证库

AMS: Analog Mixed-signal 模拟混合信号

RTL: Register Transfer Level寄存器这一级别的描述方式来描述电路的数据流方式，描述

的目标就是可综合

BL: Behavior Level 行为级是RTL的上层描述, 比RTL更抽象, 目标就是实现特定的功能而没有可综合的限制。行为描述不关心电路的具体结构, 只关注算法。有行为综合工具, 可以直接将行为级的描述综合为RTL级的, 比如Behavioral Compiler

TLM: Transaction Level Modeling 事务级建模, 比如通讯传的一包数据

DUT: Design Under Test

FPGA: Field Programmable Gate Array

HDL: Hardware Description Language

问答

在线考试 问答题 1/2

问答题 | 10.0分

在一个CPU系统中, 如果有两个模块UART和TIMER可以向CPU发送中断(电平), 由CPU进行控制中断清除, 如何完备的验证中断?

答案:

B I U S \times \times' I_x Σ 数学公式 画板 手机拍照上传

- 1.构建验证环境env: 包括channel、generator、driver、mopnitor和scoreboard, 通过SV的随机配置函数产生中断信号, 由driver驱动, 再由channel传入CPU中, 通过monitor监测信号, 再由scoreboard。
- 2.功能点测试功能点: ①UART或者TIMER中断单一触发, CPU不清除。②UART或者TIMER同时中断触发, CPU不清除。③UART或者TIMER未被触发, CPU进行清除中断处理。
- 3.搜集覆盖率: 搜集功能覆盖率、代码覆盖率, 尽量添加更多的测试用例, 提升其覆盖率。

目前字数: 264 / 5000

紫光展锐 2021校招 专业技术笔试试卷

在线考试

问答题 2/2

问答题 | 10.0分

- 1.请列出SRAM与DSRAM的不同之处?
- 2.请列出一般系统中的Memory hierarchy, 并解释系统中为何需要将存储器分层?

答案:

B I U S \times \times' I_x Σ 数学公式 画板 手机拍照上传

