

芯动科技 2022 数字 IC 设计

时间 2021.7.22



公众号

欢迎关注公众号：数字 IC 打工人
欢迎加入数字 IC 打工人 QQ 交流群
更多招聘，笔试，实习，技术分享



QQ 交流群

数字 IC 设计工程师岗位笔试题 (B)

招聘笔试-2021

- 闭卷限时 70 分钟，答案请写在答题纸上，交卷时按照从上到下的顺序将个人简历、试卷和答题纸一并上交。
- 请在答题纸上注明本人的姓名、学校、专业、电话以及应聘岗位。
- 任何情况下请勿将试卷和答题纸带出考场。

1. 已知下面无符号或有符号变量的定义：

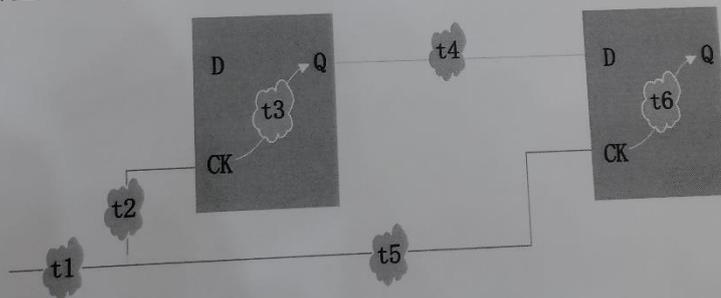
```
wire [2:0]      a      = 3' b101;  
wire signed [2:0] a_s = 3' b101;  
wire [2:0]      b      = 3' b110;  
wire signed [2:0] b_s = 3' b110;  
wire [4:0]      an;  
wire signed [4:0] bn_s, cn_s, dn_s, en_s ;
```

根据下面的算式，求出计算后的结果

```
assign an = a - b;  
assign bn_s = a_s + b_s ;  
assign cn_s = a_s >> 1 ;  
assign dn_s = a_s;  
assign en_s = {3{2' d2}};
```

请写出 an, bn_s, cn_s, dn_s, en_s 的结果。(5分)

2. 请列出下图 setup slack 和 hold slack 的计算式子，时钟周期用 tclk 表示。(5分)



3. MUX 的内部结构是怎样的，
(1) 请用基本的 与门、或门和反相器这三种基本单元搭建一个二选一 MUX (5分)
(2) 如果需要做成无毛刺的 (Glitch_free) 的 MUX，应该做怎样的修改? (5分)
4. 数字设计中单 bit 信号，bus 信号，脉冲信号对于跨时钟域有哪些处理方法? (10分)
5. 怎样根据已有时钟产生一个 3 分频且占空比接近 50% 的时钟? 画出时序图并用 verilog 或 VHDL 实现。
6. 写出 2 个任意时钟采集对方时钟域脉冲信号(单 bit 信号)代码。(20分)

编程设计题：用状态机设计一个序列检测器，当且仅当输入 X 是 1111 或 1101 时，输出 Z 为 1。允许画出状态图并写出 verilog 代码。（20 分）

模块接口如下：

```
input clk;  
input rstn;  
input x;  
output z;
```

现在有一类加法器运算一次 32 位加法需要 1.8ns，怎样用这种加法器实现 2 个同时钟域且输入频率的 32 位数据流的加法运算？叙述你的思路（10）

现有组合逻辑库：buf, inverter, and2, nand2, or2, nor2。这些逻辑门的门延时全是 1ns。
定有一个不干净的输入信号 A。使用现有的组合逻辑库（每个逻辑门可以使用多次），搭建一个电路，号 A 上 2.8ns 以内的毛刺。（10 分）