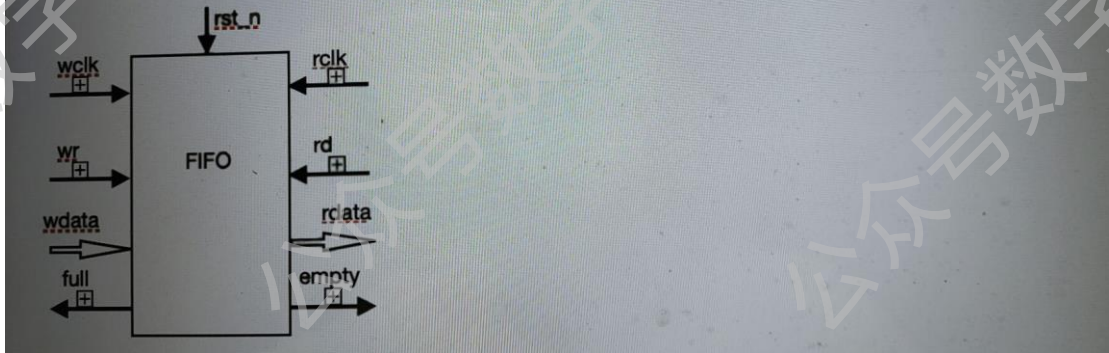


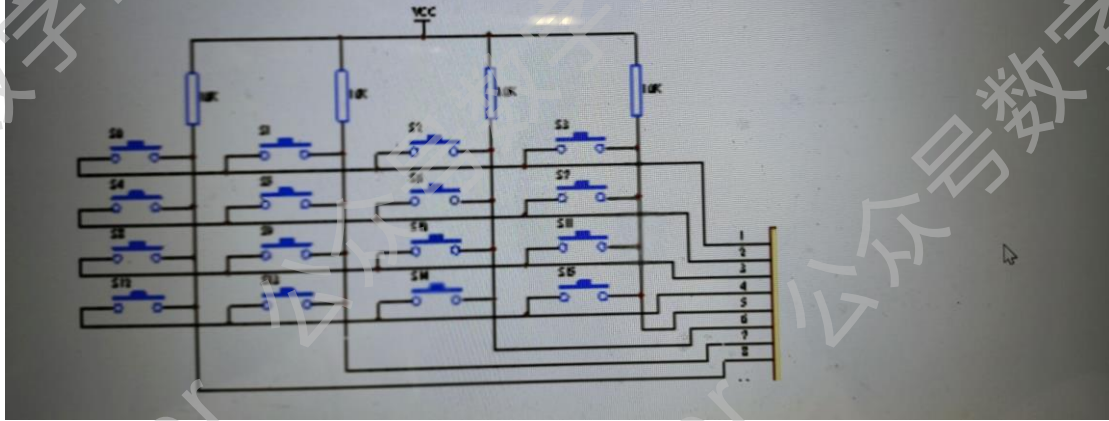
题目描述

请根据下面的设计描述，尽可能多的列出你能想到的测试点。
如下图所示异步FIFO，rdata和wdata均为8位数据，FIFO深度为16。当rst_n输入为低时，FIFO被复位，当wclk的上升沿采样到wr为高时，数据被写入FIFO；当rclk的上升沿采样到rd为高时，FIFO输出数据。此外，当FIFO为空时，empty信号输出为高，当FIFO满时，full信号输出为高。



题目描述

请实现对4*4矩阵式键盘的按键识别。假设每次都是单按键输入，需要有去抖功能（持续20ms以上被认为是有效值），模块时钟频率为1kHz。
要求用状态机实现，定义状态，画出状态转移图，并用Verilog完整描述该识别模块。
矩阵键盘电路结构参见下图，其中行线1-4由识别模块控制输出，列线5-8为识别模块的输入。

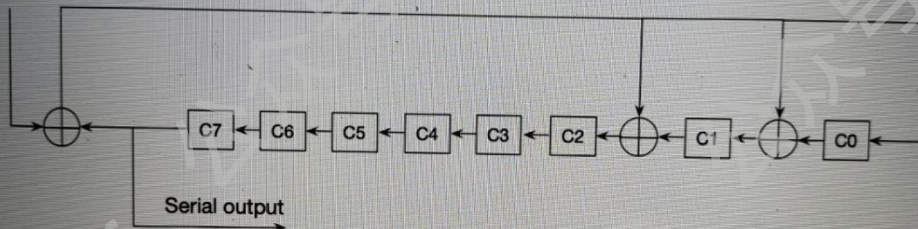


问答 (可选择全部作答, 或3选2作答) [20分]

题目描述

用verilog实现CRC-8的串行计算, $G(D) = D^8 + D^2 + D + 1$, 计算流程如下图所示:

Serial input
d0-d31



C0~C7初始化为全1, 主要的端口信号如下:

input clk, rst_n

Input data, // 串行输入 data, 一共输入 32bits, 图中 d0 为第一个有效的数据 bit, d31 为最后一个有效的数据 bit

Input data_valid, // data valid 指示, 这个信号为 1, 对应的 data 才是有效的

input crc_start, // CRC 计算的开始信号, 一个 clock cycle 的脉冲

output crc_out, // 串行 CRC 输出

output crc_valid // CRC valid 指示

exam.nowcoder.com 正在共享您的屏幕。

停止共享

隐藏

DELL

2021 届乐鑫科技校招提前批-数字 IC 类笔试

填空题 [2分]

将 2004 个 "1" 异或起来的结果为 **1**。

1 0

届乐鑫科技校招提前批-数字 IC 类笔试

? [填空题|2分]

一个4bits的输入A, $A = 4'b0$, A中从MSB开始出现的第一个1的位置表示为B
e.g.: $A = 4'b0111$, $B = 2'b10$ (从MSB开始, 第一个1出现在A的bit2)
 $B[1] = 1$ $B[0] = 2$

1 请在此填写答案

2 请在此填写答案

? [填空题|2分]

一批IC样品在测试中发现有setup或者hold时序问题。现取A、B、C、D四颗样品进行测试。A降温后停止工作, 则很可能是 1 问题; B升温后停止工作, 则很可能是 2 问题; C降压后停止工作, 则很可能是 3 问题; D升压后停止工作, 则很可能是 4 问题。

1 请在此填写答案

2 请在此填写答案

3 请在此填写答案

4 请在此填写答案

🔍 [填空题|2分]

用 2048×12 的 ROM 芯片，最多能实现 **1** 个输入 **2** 个输出的组合逻辑函数。

1 请在此填写答案

2 请在此填写答案

🔍 [填空题|2分]

以下verilog代码的out[7:0]的逻辑可以用一条assign语句重写为 **1**。

```
wire [7:0] in, a, b;
reg [7:0] out;
genvar i;
generate
  for (i=0;i<8;i++) begin : gen_block
    always @(*) begin
      if(in[i])
        out[i] = a[i] ^ b[i];
      else begin
        if (i==0)
          out[i] = 1'b0;
        else
          out[i] = in[i-1];
        end
      end
    end
  end
endgenerate
```

1 请在此填写答案

|| exam.nowcoder.com

② [填空题|2分]

OOP的三大特征是 **1**、**2** 和 **3** ；

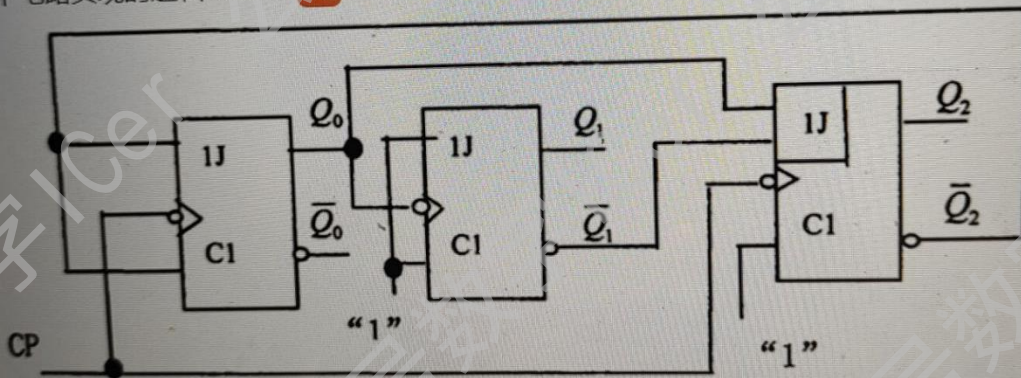
1 请在此填写答案

2 请在此填写答案

3 请在此填写答案

② [填空题|2分]

如下电路实现的逻辑功能为 **1** 进制计数器。



1 请在此填写答案

1 [填空题|2分]

某个SRAM一共12根地址线A11 ~ A0, 32根数据线D31 ~ D0, 如果要实现 2^{20} bytes的Memory, 需要 1 块这样的SRAM?

1 请在此填写答案

1 [填空题|2分]

NAND 和 NOR Flash 的主要区别是: 1 中通常存在坏块, 2 容量可以做到很大, 3 写入速度比较快, 4 读出速度比较快。

1 请在此填写答案

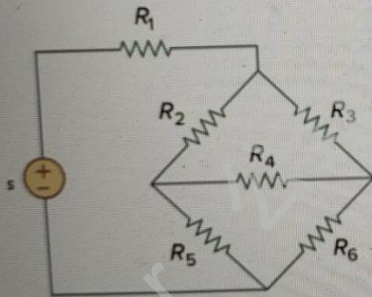
2 请在此填写答案

3 请在此填写答案

4 请在此填写答案

[填空题|2分]

已知 $R_1=R_2=R_3=R_4=R_5=R_6=R$ ，下图从电源两端向右看去的等效电阻为



请在此填写答案

[多选题|2分]

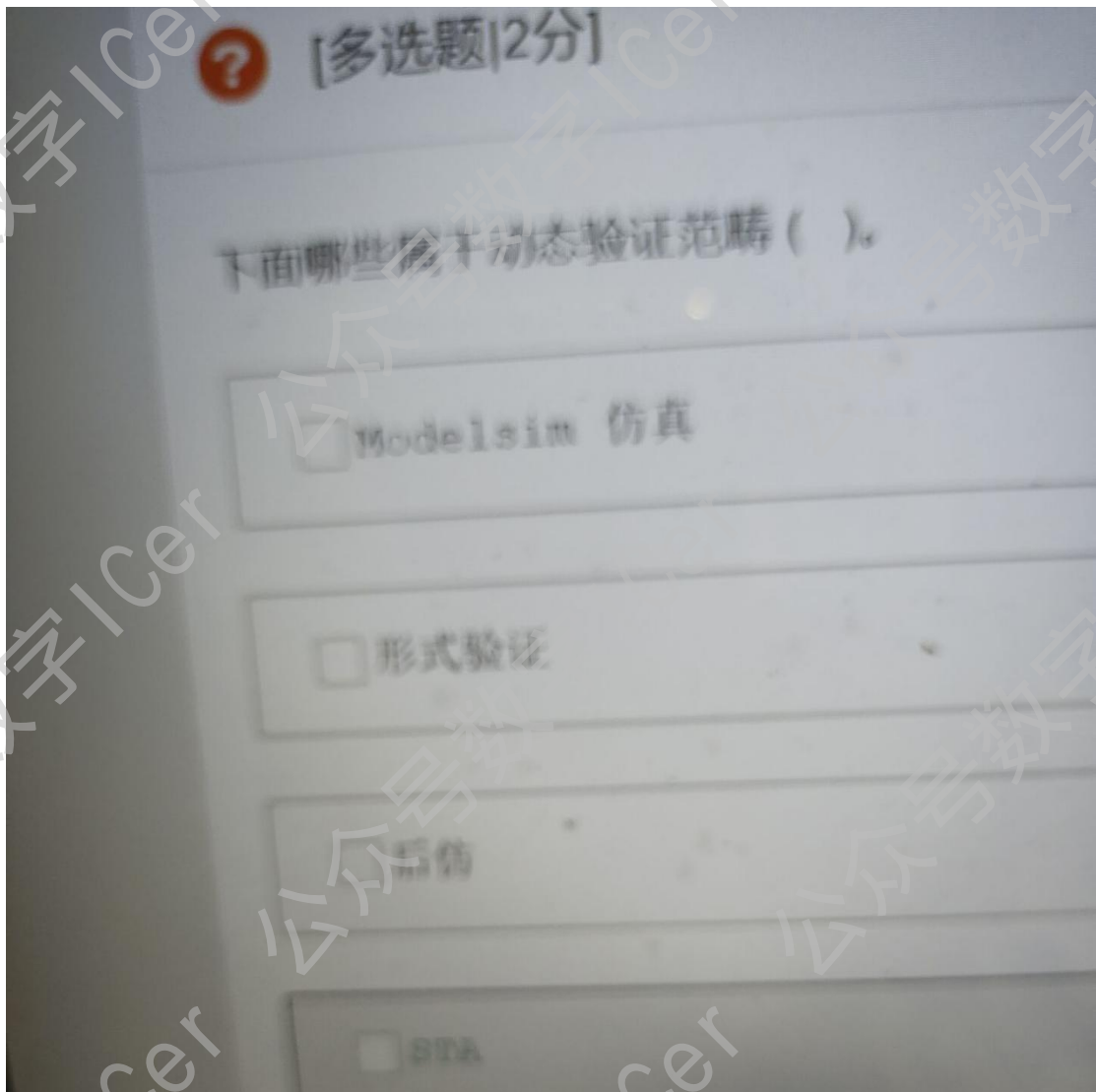
在高速系统设计中，下列哪种优化方案的可以提高系统的工作频率()。

迟置信号后移

树型结构

流水线

资源共享



- A Modelsim 仿真
- B 形式验证
- C 后仿
- D STA

以下方法哪些是进行面积优化()。

寄存器配平

逻辑优化

资源共享

串行化

流水线设计

关键路径优化

可综合的 verilog 语法包括 ()。

assign

for

always

wait

time

initial

generate

🔍 [多选题|2分]

在异步设计中的对跨时钟处理的信号，功能验证时一般需要考虑以下哪些因素（）。

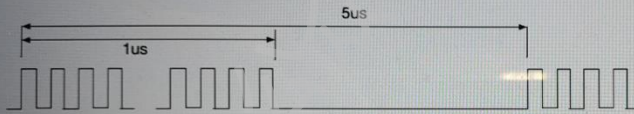
信号高电平有效还是低电平有效

信号变化的最小宽度

时钟频率

相位和抖动

ModuleA/ModuleB用的是同一个clock, clock频率80MHz, ModuleA和ModuleB同时启动, ModuleA产生如下周期性的burst数据给Module B, 一共产生8次burst, burst rate: 1280 Mbit/s, burst持续时间1us, burst内部速率均匀, burst周期 5us, 余下的4us内没有数据



ModuleB收到启动信号后, 需要花10us做初始化, 所以先把module A的数据缓存在ModuleB内部的同步FIFO中, 同步FIFO位宽32bits, 初始化结束后ModuleB以640 Mbit/s的均匀速率从FIFO中读取数据。在满足功能需求的前提下, 为了节省电路面积, 要求FIFO size越小越好, 以下四个选项的FIFO深度, 选项（）的FIFO深度是符合要求的。

128

96

64

160

[单选题]2分

欲产生序列信号 11010111，则至少需要()级触发器。

4

3

2

5

以下代码综合出来的D触发器的D端逻辑表达式为：

```
Always @( posedge clk or negedge rst_n)
```

```
if(~rst_n)
```

```
q <= 1'b0;
```

```
else if(set)
```

```
q <= 1'b1;
```

```
else if (wr)
```

```
q <= wdata;
```

set | (wr | wdata) & q

~set & (wr & wdata) | q

set | wr & wdata | ~wr & q

set & (~wr & q) | wr & wdata & (~set)

[单选题]2分

关于跨时钟域电路的设计，以下说法正确的是：

- 跨时钟域电路存在亚稳态风险，最好避免使用
- 信号经两级D触发器同步后即可进行跨时钟域传递
- 跨时钟域电路中一定存在亚稳态
- 采用单一时钟的电路也可能产生亚稳态

[单选题]2分

若要将一异或非门当作反相器（非门）使用，则输入端 A、B 端的连接方式是()

- A 和 B 并联使用
- A 或 B 中有一个接“0”
- A 或 B 中有一个接“1”
- 不能实现