



微信搜一搜

摸鱼范式

ASIC工程师面试经验分享

来自牛客网网友ece511授权转发

<https://www.nowcoder.com/discuss/351612>

本人专业电子信息工程，暑期在上海某外企做fpga相关的实习，9月开始投简历，主要找ASIC/FPGA 设计验证相关的岗。投了N家公司，挂了N个笔试，最后拿到某私募、商汤自动驾驶、百度、寒武纪和华为海思的offer。

由于距离面试过去也有段时间了，面经就靠回忆+脑补了~

商汤（一共4面，全程微信语音）- FPGA自动驾驶优化验证

商汤我是7月底投的简历，岗位是FPGA自动驾驶优化验证，然后面试一共有4轮还是5轮，时间跨度比较大。第一轮就比较基础，问的问题主要是C++和FPGA的基础知识。我印象里有问C++的引用，强制转换、static 关键字。FPGA方面的话问了非阻塞阻塞赋值，还有FPGA内部的结构（内部有哪些基本单元）。最后问了下项目，问对DNN、CNN了解多少，给一个module怎么让他的frequency跑得更快、throughput更大之类的问题。第一轮结束后一礼拜后收到第二轮面试。

第二轮面试是这个FPGA team的manager面，问的题以项目为主，然后面试体验很差。自我介绍完让我说下近期实习的项目，之后问了下看我简历有AHB 相关经历，问了下AHB的基本时序，还有arbiter怎么做的。面试过程中比较闷吧，我只能用这个词来形容了，就是毫无互动可言。这轮面试结束后，商汤HR说要安排第三轮交叉面，然后等了2-3周，总之流程走的很慢。

第三轮面试还是以简历为主，看我最近和之前有做Ethernet MAC的东西，问了下项目的细节，然后还问会不会DDR。这轮面完就很玄学了，我去问HR什么时候能给结果，然后HR一直不回消息。直到10月中旬，也就是这轮面试（八月底）过去差不多两个月，HR微信找我说要安排终面。

第四面应该是boss面或者总监面了，然后主要是聊项目，这个其实和第二轮和第三轮的面试细节很重叠了，面完最后就说会给offer。

百度（一共3面，全程微信）- 芯片验证

百度是9月底还是10月初投的简历，本来我想投芯片架构岗，但是一看下面的JD，要28nm相关的流片经历，只能说劝退了。最后投了芯片验证，base可选北京或者上海。

简历投完HR就电话联系我，然后本来说安排skype面试，最后还是改用微信语音~

第一轮面试的话感觉质量很高了，这个面试官小哥问的很细然后cover的点也很多，差不多聊了有50分钟。上来先是抓着SV和UVM的基础知识问。基础知识问完，就开始问近期项目。主要是问我的一个Ethernet 项目的验证平台搭建细节，比如有问如果发过来的包有丢包或者乱序，我应该在之前的基础上怎么改来验证。

第二轮细节我有点记不太清了，不过也没什么花样，问了基础知识+简历。基础知识问了知不知道rand和randc，然后会不会constrained random verification。之后问了一个题，怎么在一个class里不用randc实现产生100个不同的数字功能（就每次instantiate这个class的时候，里面有一个member的值都不重复，直到例化了100次才会重复）。

第三轮面试是一个女主管，这个行业女性还算比较少，所以我印象很深刻。一般面到这轮都不会问基础知识了，所以全程聊项目，聊完就说前面两轮面试官对我印象很好，然后问我对百度的看法之类的，还有之后的规划什么的。这轮结束没多久就给了offer。

寒武纪（一共3面） - 芯片验证

寒武纪是暑期实习期间投的提前批，然后莫名其妙把我从提前批调剂到普通批，之后一直等了很久。大概9月底HR电话找我说来面试。

第一轮是微信视频面试，也是一直问Systemverilog的基础知识。先问知不知道多态，然后问overload和override，再问虚函数。之后说base handler 指向一个子类实体行不行，反过来行不行，如果不行该怎么操作。这个其实只要看下SV的虚函数和dynamic cast就答得上来。

第二轮是电面，先是问项目，这个和之前所有面试都差不多，所以说对简历上每一个项目还是要比较熟的。之后给了一个时序，两个信号，一个信号来了之后，之后那个信号隔多少个cycle（这个数字我记不太清）会被置位，问你怎么验证。这个我说SVA很好处理这种问题，他后面就问应该把assertion放在验证平台的哪部分，然后interface为什么要声明成virtual的。

第三轮是HR面，问的题很憨憨，就是问学习习惯，本科和研究生学习过程有什么不同，在公司碰到问题怎么解决之类的。总之就是这种很匪夷所思的behavioral question。面完没多久就给了offer。

华为海思（一共3面） - 芯片

战狼的面试我印象海思很深刻的，我从投简历到拿到面试也等了很久，大概是大家都拿到offer后我才开始面试的，9月底左右吧。

第一轮是做个笔试，印象中好像全是选择题，没什么难度，都是基础题。做完笔试后还要做个性格测评，不要乱选就能过。

笔试结束后很快就有通知面试，华为全程是用wemeeting这个平台，和zoom长得很像的一个软件。

第一轮面试我印象还是很深刻的，一个看起来很年轻的小哥，头上有肉眼可见的白发，看来战狼对内还是重拳出击啊😏。问了一些computer architecture的基础知识，比如为什么经典CPU用5级流水线，里面有什么类型的hazard，怎么解决的。之后问了setup time和hold time还有CDC，这两个我不想吐槽了，基本上每个公司都问，太憨憨了。之后说是今年华为面试改版了什么的，要增加笔试，两个题说是二选一，第一个是用基础门电路搭建一个64bit full adder，然后后续还有怎么优化。第二个题是用verilog 写一个round robin arbiter，也是很基础的题。我最后嫌写代码麻烦就给他搭了一个full adder。

第二轮面试等了差不多2周吧，是海思昇腾芯片的一个manager面的，气场很足。上来先是要我自我介绍，然后问对处理器的memory和cache了解多少。之后问了下memory hierarchy和cache coherence。出了一个题，就是两个processor每个各有一个cache，然后有一串读写操作，问你根据MESI，每个cache的state。之后笔试要我写了个二分频代码，并画电路，这个没什么好说的，太基础了。

第三轮应该也是大领导，上来聊简历，聊完就问一些BQ。先是问为什么要来海思，还有说外界说华为加班很严重，你怎么看。这个没什么好说的，瞎扯就行了。

第三轮面试结束后，等了很久，一直在录用排序，最后没有任何通知莫名其妙发了个offer到邮箱。过了4天左右才有HR来联系我，问我签约不签约的事。

整个秋招主要就这些面试，基本上是有给面试的都有offer。除了上面说的以外，我还投了比特大陆，思科，AMD，NV之类的公司，但是他们笔试太诡异了，就是芯片从前端的一直问到后端，我只能说我知识储备有限，做不来好吧。总结下就是，这个行业工资虽然不如CS，但是这几年靠着特朗普的助攻和国家的扶持，还是不错的，我说的这些公司大体上都能开到28W-35W之间的薪酬😏。欢迎大家来转EE（ASIC/FPGA），一起当硅农😏

在面经下的问答

问：请问楼主面华为的具体是什么岗位啊，芯片岗怎么要问这么多的计算机原理的知识？

答：华为投的是海思的芯片大类，HR说进去随便挑，不过谁知道呢😏。然后芯片岗的话，其实如果只做验证，你不太需要关系计算机架构的东西，学SV和UVM就行。如果是做设计，因为很多岗都是CPU/GPU Design或者SoC Design，所以问一些处理器相关的知识还是很常见的

数字芯片设计工程师面试经验（实习加校招）

- 来自牛客网网友低调的dongker授权转发
- <https://www.nowcoder.com/discuss/355476>

基本信息：本科哈工大硕士清华亚琛双学位，预计2020年七月毕业，做了半年多FPGA的项目，从事行业是数字芯片设计。

腾讯实习（量子实验室）

腾讯报了提前批，开始报了C++的后台开发，但是和面试官聊明显不太对口，并且自己没有任何准备。但是聊的很开心，面试官对我能力也认可，之后就为我推荐匹配度高的其他部门。

过了两周不到被发起面试，也不知道基础研究是做什么的，但是面试过程中知道是量子实验室中的，然后可能需要我做一些FPGA的开发验证，所以一面问题主要是verilog的语言基础，比如阻塞赋值非阻塞赋值，然后还有外部时钟和内部时钟接口处如何统一，还有针对我的课题提问了较多。一面是两个人，应该是总监和一个技术小哥，后来得知小哥是组里唯一的硕士。一面效果很好，问我什么时候入职，有说有笑。

二面也是技术面，问我的都是围绕简历展开的，很简单。

三面是HR，突如其来没有预约晚上九点开始面试，之后聊了四十分钟，最后我问她能否被录取，她说不能告诉我，但是说了一句“我认为你是一个很优秀的人”。

后来煎熬了好久等offer，在4.1号收到offer call，还是很开心的。

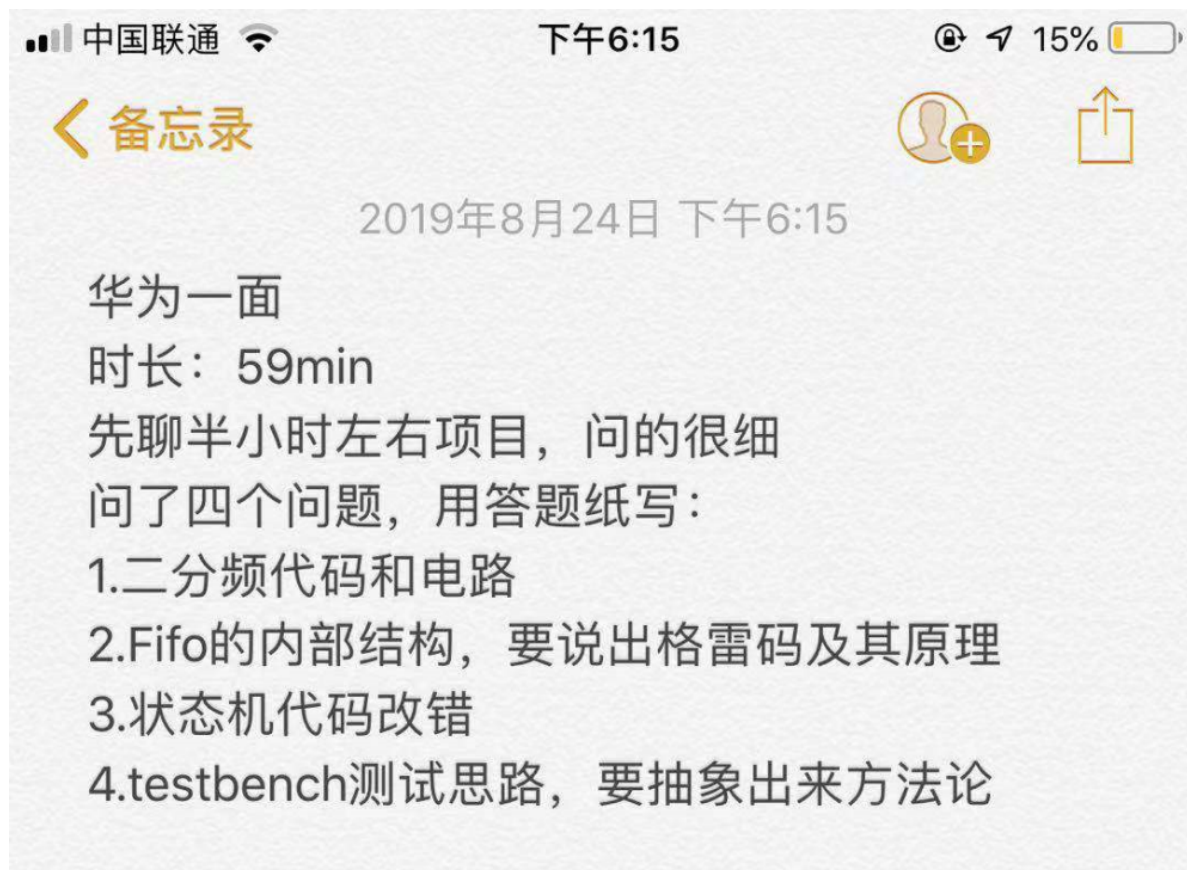
以上是我在当时去实习之前写的，之后去了具体工作内容就是在腾讯量子实验室做电子学测控系统部分，导师和同事人都很好，工作氛围轻松，腾讯对待实习生一视同仁，经常团建。但是做的具体内容不是很喜欢，所以后来也不想留在腾讯。

华为实习

春招那个时候也过了华为的通用软件开发岗，当时面试过程还是很简单的，都是聊项目聊人生，但是我后来不想做软开或者算法这个行业了，就拒绝了这个实习offer。

华为海思秋招面经

在腾讯实习之后还是学到了很多的东西，因为去腾讯实习之前我只做了三个月FPGA，或者说只学了三个月，基本上什么都不会，可能愿意要我主要看学历吧，所以我也很感谢腾讯，实习之后对于我后续的课题进展也很有帮助（我是我们实验室唯一一个做FPGA的，其他人是光学）。华为面试我参加的是深圳的优招提前批，很早，面试问题如下图所示：



二面

时长：1h26min

先问四十多分钟项目，更细

问了两个手写问题：

1.输入两个8bit带符号的补码，输入范围就是-128到128，然后比较大小，输出。

再画电路图

2.5L和3L容器，怎么倒出来4L水。看你最快多久能做出来。

三面boss面谈人生



牛客@低调的dongker

当时优招因为只有C9和留学生，加上我觉得问我的问题我大多也都回答上了，不太确定的问题我也表现出了我的学习能力（逃），尤其二面的面试官对我好像也非常满意。后来在面试结束之后也有四个部门七八个人给我打电话，让我选择他们的部门，因为我报的大部门是海思，所以下面的小部门有图灵，海思研究部，海思网络芯片，海思拉法尔部门（这个好像很多人没听过），这些部门都有找过我，有hr还告诉我说我面试表现评分第一，所以我觉得我有15级的希望。再后来就有一个海思hr和我确定意向部门，因为图灵的联系我很多还有一个十九级的小领导给我打了好多次电话，所以我就选择了图灵。此外，这个海思hr还问我意向薪资，我说15级，她在电话里明确说了两次根据你的面试表现15级完全没问题，所以我当时基本就想去海思图灵做数字芯片设计了，但是搞笑的是在后来签两方的时候，给的只是十四级，然后给我讲情怀加技术平台加未来潜力balabala，更搞笑的是我一些在优招中挂掉或者笔试没有被筛选通过的同学在秋招正式批的时候拿了15级，这让我很无奈，后续也有一些人给我打电话，但我最终选择了放弃。

寒武纪

寒武纪面的是媒体部门的数字芯片设计，一面技术面，根据项目进行扩展，对我做的课题的难度表示了不屑，但考虑到都是我自己做的觉得学习能力是OK的。二面是总监面，因为要做无人驾驶或者图像方向的，所以问了问我本科的毕设，主要是C++的数字图像处理内容，面的时间很短，但是我后来和总监又交流过，人很nice。三面hr面，犹豫hr小姐姐太忙总是鸽我，我就在打完球回寝室晚上十点半直接给她打了电话，说：我们现在开始面试吧。她表示她是第一次被要求面试，但聊得很好。再后来在三方下来之后又和总监聊了半个多小时，他是从华为工作十四年跳槽来的，很了解海思，给我夸了好久海思，同时也很客观的对比了寒武纪，然后对我提出的问题非常耐心并且贴心的解答，对我提出的条件也都予以了满足，觉得这个部门的leader真的很棒，对寒武纪这个部门很有憧憬，所以最后我也选择了寒武纪，在上海张江，如果有想合租的小伙伴可以一起（男生）。

面得芯片规划工程师，因为错过了提前批就随便报了香港那一批，没想到还是给我面试了，然后给我offershow上好像最高的offer，但是由于第一年成立我不是很了解，所以后来没有去。

其他还面了旷视和英伟达，旷视战线拖得有点长，我就没有继续面了，然后英伟达一面一个小时还是很有难度的，这两家公司面试难度相当，感觉应该也不错。

还面了一家家乡企业，长光卫星，做商业遥感小卫星，说给我博士待遇27w，在长春的确不错，后来还是选择了寒武纪。

2020校招芯片设计工程师面经

来自牛客网网友毕业过过过授权转发

<https://www.nowcoder.com/discuss/356113>

先说一下自己的情况，本人985本211硕，硕士期间从研一下学期开始做了一年半的FPGA，主要是无线通信方向的。暑假在华为北研所数通实习了两个月，也是做FPGA，但后来由于不太想留在北京就没转正。8月中旬就开始投简历了，一共投了几十家，其中有些没收到面试，有些我后来懒得面了，所以我实际面的只有寒武纪，akuna capital，百度，华为，英伟达，OPPO这6家，最后拿了华为，英伟达，OPPO的offer。

寒武纪（芯片设计）一面挂

这是我面的第一家，还没什么经验，一面就挂了。一面是电话面，先问了我做的项目的情况，又问了建立时间，保持时间概念，芯片低功耗设计有哪些方法，怎样增大系统的吞吐率等等，总共半小时，有些问题回答不完整，然后第二天就挂了。

akuna capital（FPGA开发）二面挂

这是个规模200人左右的跨国金融科技公司，做量化交易高频交易之类的，需要FPGA做加速。总部在芝加哥，上海有分部，其中只有六七个做FPGA的，笔试倒不难，但面试全程英语。一面是电话面，问了下项目，还有最常见的FPGA面试题，比如单比特跨时钟，多比特跨时钟，异步FIFO结构，亚稳态，建立时间，保持时间什么的，我用英语勉强表达了出来，总共半小时。二面用zoom远程面，一上来就让搭电路，用二选一选择器搭与门，或门，非门，异或门，花了我挺长时间。然后又问怎样实现将一个数x乘以124倍最快最省资源，我是说先向左移7位再减去左移2位，他问为什么，我没说出来，再加上用英语确实很捉急，就挂了。

百度（芯片验证）三面挂

现场面，去了写了个笔试，内容是Verilog，SV，UVM，脚本语言之类的。然后一面问了项目，看我答的比较扎实就过了。二面问了SV的一些语法，多态，虚函数，约束之类的，还问了怎样设计一个约束，不使用randc产生1~1000内的1000个随机数，每次值都不相同，由于我只在暑期实习时用过一个月的SV，不太熟，所以只给了个大致思路，不过最后还是过了。三面电话面，问了项目，毕设，对百度的看法，自身的优缺点，我觉得我答的还可以，但后来就一直没消息了，可能成备胎了吧。

华为（海思数字芯片）拿了offer

一面介绍项目，面试官看我有华为实习经历就主要问了在华为做的项目，然后出了个题，两组数a和b，每组有64个值，用最大速度的设计方法找到对应相乘的最大值，即 $a[0]*b[0]$ ， $a[1]*b[1]$ ，...， $a[63]*b[63]$ 的最大值，并写出Verilog代码。我说先例化64个乘法器同时算出乘积，再用32个比较器判断每两个乘积的最大值，再两两比较判断上一轮比较完后的最大值，以此类推。面试官说还有更快的方法，但我没想出来，就让我按我的想法写了。二面面试官是从我实习的部门转到海思的，跟我一见如故，聊聊项目和人生就过了。三面也是问了项目，遇到的困难和职业规划。

英伟达（FPGA/Emu）拿了offer

这家笔试是我见过的最难的，10个题我也就写了一半，好在有面试。一面电话面，问项目和基本的FPGA知识，还是建立时间保持时间跨时钟那一套，半小时。二面视频面，五个人车轮战，面了4个小时，面完我直接瘫了。第一小时先一起问项目，问得非常细，后面就每人问几十分钟，问了同步异步复位，异步FIFO结构，vivado里时钟约束怎么写，怎样在一个时钟周期内算出输入32bit里有几个1，大部分还是以前问过的。顺便说下，英伟达15天年假，3个月陪产假，不加班，买股票打折，真的很香啊。

OPPO (芯片设计) 拿了offer

都是现场面。一面问项目，还看了笔试题的结果，没怎么问问题。二面面试官是我本科学校校友，见到我很亲切，聊了人生就过了。三面hr面，问了对OPPO的看法，遇到过的最痛苦的事，期望薪资，反正回答时三观正常一点应该就没问题。

后面还有高通、海康的面试，我嫌麻烦就没面了。英伟达和OPPO给的薪资差不多，最后我去了海思，因为给了sp，待遇高出了一个档次，而且平台好，也最有利于个人发展。我感觉芯片行业是很缺人的，尤其是验证岗，只要懂一点UVM就很吃香，但现在所有人都去搞CS搞算法，有点不理解。

最后放一个收藏了很久的面试总结文章，写的很全面，很有参考价值

<https://blog.csdn.net/abcdef123456gg/article/details/100071642>

汇顶科技数字设计验证面经

<https://www.nowcoder.com/discuss/277417>

一共三轮面试，一轮专业面，二轮HR面，三轮综合面

一轮主要是针对简历上的问题开始问，简历上的东西一定要非常清楚。

先是自我介绍，然后开始问你项目上的项目，问我的包括框图还有每个模块之间的信号等，问的非常细。问到我的问题有异步电路的处理，包括单bit和多bit，还让我画了DMUX的结构；问了项目中用到的spyglass软件，如何检测自己的异步信号得到了正确的处理；问了AMBA协议，URAT协议的作用；问了异步FIFO地址同步问题；问了关于SRAM读写问题。最后问我有没有接触过乘法器和触发器，我说没有面试官让我自己设计一个除法器，我就自己瞎说了一通最后也没答出来。主要还是针对简历上的问

二面是HR面，没有问技术问题主要是对工作地的选择，手里有没有offer还有自己一些有的没的，几乎不刷人

三面是综合面，应该是一个大佬主要是问了自己实验室的项目，一直在聊我的实验室项目然后问我为什么要转到数字IC，还问了几个基础的问题，建立时间和保持时间，还有一个很简单的什么问题忘记了。。反正问的不深，主要可能看你的思维能力，但是也是最玄学的一面。。。

一面是最难的，最后一面是最玄学的。。

AI芯片面试总结

基础书籍有哪些？重点章节以及概念？

计算机体系结构---量化研究方法；

计算机组成与设计---软硬件接口；

deep learning 深度学习；

python；

CMOS数字集成电路

面试中可能会遇到的知识点

建立保持时间 / 亚稳态如何产生及解决 / 竞争冒险产生及解决 / 低功耗设计 / 时钟歪斜和抖动 及产生原因 / 同步异步的概念 / 同步复位异步复位 / 异步复位同步释放（要会写这个的verilog代码） / 布尔表达式 / 时钟2分频 3分频代码现场写 / 流水线的相关知识 / verilog实现循环右移等。

一定要熟悉数字IC设计的全套流程。DC综合，静态时序分析是什么，了解吗，一般做哪些约束！写verilog时什么情况下会综合出latch来，为什么不希望有latch。

状态机 一段两段三段式状态机，并用状态机编程实现一个问题。

平头哥问了定点数与浮点数的差别及浮点数如何实现加乘。

总线相关知识，内部总线 / 系统总线 / 外部总线 / 数据地址控制总线 / AMBA总线 / 冯诺依曼结构和哈佛结构。

百度：如何实现一个排序的问题（冒泡法排序） / 建立保持时间（计算题，考虑各种延时 歪斜抖动）。异步fifo深度计算，实现log计算；

业内哪些公司值得一去？

推荐公司：平头哥、寒武纪、地平线、大疆、华为海思、中天微、睿思芯科（初创公司，做RISC-V的，深圳），禾赛科技（做无人驾驶的，上海），小米，OPPO VIVO，海康威视；比特大陆（到时候看情况）；还有兆芯、展锐等（这两个待遇较低）

中科院体系：声学所、自动化所，计算所待遇较高；

航天体系：航天五院502 501，航天一院总体部较好；

中电系统：我知道的：南京的14所，石家庄的54所等，待遇较好；

外企包括：英伟达，英特尔，赛灵思；

区域选择：做芯片的话首选上海，其次北京，其次深圳；

面试官对AI数字岗位比较关注的点，最希望面试者具有怎样的经历？

模拟射频等底层电路知识，还是verilog的熟练程度，还是对于算法转换硬件语言的能力，亦或者是对芯片架构的理解？

最希望你做过数字相关的项目，最好是走完全部的流程，流片的那种，如果没有做过就要对相关的知识特别熟悉，了解基础知识，会写verilog，会用fpga，知道流程，了解计算机体系结构最好等等；

模拟射频不关心，但是简历上的项目一定要能讲的明明白白的，还要展现自己的学习能力，给他表现出虽然你之前没做过，但是你一旦开始弄这个，肯定比别人学的快，做的好；

除了AI芯片方向，通用处理器（X86CPU等以及GPU）发展前途如何，有哪些公司值得一去？
我觉得做服务器上的芯片应该也挺好的，未来有可能是云端存储（超级服务器）+很快的网速。

这个我就不太清楚了，龙芯，兆芯？

你转数字时最后悔没有做的事？

没有走一遍数字的流程，从写verilog开始到仿真再到综合然后门级仿真，生成版图，然后后仿真；

研究生阶段如果没有做过数字相关的项目，最好能找一个实习（平台比较大的公司，如华为）。

以下是我找工作时收藏的一些链接

低功耗设计：<https://www.cnblogs.com/IClearner/p/6912455.html>

Tcl和DC综合：<https://www.cnblogs.com/IClearner/p/6660380.html>

DC教程：https://blog.csdn.net/steven_yan_2014/article/details/43445231

IC设计中异步电路处理的若干问题：<https://blog.csdn.net/wordwarwordwar/article/details/79894843>

FPGA设计中时钟约束的重要性：<https://blog.csdn.net/u010203275/article/details/80569502>

低功耗设计的几个思路：<https://blog.csdn.net/moon9999/article/details/77900306>

verilog二分频代码&verilog三分频代码：<https://blog.csdn.net/hanghang121/article/details/20073985>

建立时间和保持时间概念：<https://blog.csdn.net/wordwarwordwar/article/details/80160755>

复位最佳方式：异步复位，同步释放：https://blog.csdn.net/frank_wff/article/details/43226507

随笔分类 - 数字IC（前端）/逻辑设计技巧：<https://www.cnblogs.com/IClearner/category/971863.html>

IC设计流程：https://blog.csdn.net/Burning_blade/article/details/81148352

计算机组成原理——总线的基本概念：https://blog.csdn.net/dala_da/article/details/78650035

计算机体系结构期末复习题：<https://blog.csdn.net/igiphons/article/details/5650136>

计算机体系结构：<https://blog.csdn.net/he582754810/article/details/77862078>

cordic算法详解：<https://blog.csdn.net/u010712012/article/details/77755567>

ARM获得PC指针为何PC=PC+8：<https://blog.csdn.net/sddzycnqjn/article/details/7691534>

MIPS 五级流水线：https://blog.csdn.net/EckoTan/article/details/46533843?utm_source=blogxgwz3

《大话处理器》连载——微架构(4) 史上最经典的5级流水线：

https://blog.csdn.net/muxiqingyang/article/details/6661417?utm_source=blogxgwz0

Verilog基础知识7（FIFO深度计算）：https://blog.csdn.net/times_poem/article/details/51917648

2019数字IC求职笔记（涵盖十余家国内一流IC公司）

老子在《道德经》里讲“天之道，损有余而补不足。人之道则不然，损不足以奉有余”。所以想找到“好”工作最最核心的东西其实不在于就业行情，不在于就业人数，而在于你自己。希望还没有毕业的师弟师妹能努力争取更多的学习机会，跳出“找工作”这三个字去探索更多的东西，毕竟找一份薪水不错的对口工作并不是我们唯一的目的，拥有更多人生的选择机会才是。下面是在我求职过程中的一些经验和感受，希望能帮到你们。

1. 方向选择：适合自己最重要

整个IC行业分的是非常细的，而我们求职时的职位主要包括模拟IC，数字IC前端，数字IC验证，DFT，数字IC后端，ESD，封装，可靠性测试等等，而你必须在研二开始之前搞清楚你喜欢做什么，最起码不排斥，不然IC研发这东西时间久了可能会演变成一个体力活儿，很排斥的话后面做起来会很痛苦。比如我本科就发现自己由于智商受限根本搞不懂模拟，所以果断避开模拟，研一下就选择做数字IC后端。总之一句话，选择有时候比努力更重要。

2. 工作地点：需要权衡

整个IC行业分布比较集中的就是上海，去一线的话首推魔都！其次北京or深圳半斤八两，但一线城市房价逆天，生活成本较高。二线里面西安、苏州、成都都是可选的对象，房价苏州>成都>西安，但也基本都可以接受，所以这个看offer的质量和离家远近的情况，根据自己意愿选择，能给出的意见不多。

3. 薪水待遇：辩证看待

大家可以在微信小程序offershow上自行搜索，一般sp会比均价高2~3k，ssp高3~5k

越高的肯定越累，资本主义的本质是剥削：P选择原则上遵循大厂优先，独角兽优先，能学到更多东西的公司优先。因为自己第一工作地上海，第二是西安，所以可能上海的公司面的多一些，以下都是已拿到的offer，薪资数据各个公众号和网上也都有，大体都比较准确。这里推荐一个微信小程序offershow，上面有大部分公司的薪水爆料情况，相对比较准确，可作为求职参考。

4. 面试经历及公司分析

• 华为

菊厂向来是应届生最爱，所以多说一点。因为暑假在菊厂实习过，所以讲一下实习面试的经过。五月份投的简历，其实自己当时是一直留在实验室并没有想出去的，但鬼使神差的有师兄说华为有实习可以投，自己就随便投了一下，然后一周后就收到了面试通知。

面试一共分为两面，一面技术面，基本就问在实验室里做的项目，自己遇到的问题，解决的办法，还有一些基本的概念理解。当时因为提前也没怎么准备而且是处女面，有几个问题答的不好，但基本做的东西都说清楚了，面我的面试官人很nice，后来知道他是我们部门的主管，后面充分感受到遇到一个好的主管是多么的重要！二面boss综合面，基本就是问一些基本情况，包括有无男女朋友，选择工作地的原因，平时爱好之类的。Anyway，面试的时候自信点，可以聊，但别扯太远。面试前好好温习一下自己做过的项目，包括遇到的问题，如何解决的，自己在做项目时的亮点等等。哦，对了，海思没有笔试。

offer发放速度很快，面试后第三天就收到短信说让去签约，当时自己还是有点慌的，因为还没有和导师商量出去实习的事，心里很没底，去了之后和HR说明了情况，HR人也很nice说先签后再和导师商量，如果导师不放人合同自动作废就好。嗯，后面还是成功出来实习了，实习工资待遇就很不错，反正两个月赚够了研三的学费还学到了很多，稳赚不赔。

刚进去给我们配了导师，有任何不懂的问题都可以随时请教。交了两个月的各项工作任务，做一个以前做过的项目，相当于新员工入职后的培训虚拟LAB。说实话工作量还是很大的，因为一般新员工基本要做四个月到半年，而我们只有两个月，所以加班比较多。整个海思加班确实也不少，但感觉真的能学到很多东西，最先进的工艺，相当规范完备的流程，海思是国内顶级的fabless不吹不黑。华为的培训体系也很完善，包括线上的培训和导师答疑，内网上有各种大神写的技术贴，比书上写的精彩的多。两个月时间不长但真的学到了在学校半年都学不到的东西。

实习转正的比例很大，所以建议有条件的同学能实习一定要实习！我走之前主管找我谈话甚至问过我如果有女朋友想来的话他也可以帮忙招进来，虽然后面因为工作地的原因最终没有选择华为，但两个月的经历给我的秋招带来很大优势。至于坊间传说的加班也不吹不黑，确实比较多，还有月末周六，但我觉得这个看个人选择吧，我是觉得刚毕业还是要多学点东西，不然等着到40岁了再加班？当然婚后可能会有工作和生活平衡的问题，后面觉得不适合自己的可以选择跳或转行，华为辛苦五到八年后跳个外企或国企养老妥妥的！至于华为秋招的定薪和工作地确实是个谜（也是我拒掉华为的原因），HR对工作地的协调操作到现在我也没看懂，但对于华为我只有感激。总结起来就是华为还是非常适合刚毕业的同学

去的，虽然加班较多，但公司平台没问题，管理规范，且确实能学到很多东西，这个对三五年后个人的职业发展都是很有好处的。

● 兆芯

兆芯是上海国资委控股的合资公司，主要做国产X86，CPU、GPU的，国家需要保持X86的开发能力，所以你懂的。国企的外表+外企的风格，整体氛围不错，有很多从华为跳过来的工程师（海思真的是为国内整个IC业培养了一大批工程师，面试的好几个主管都在华为待过，真正的IC民工生产机！），加班不多。

九月中旬面试，面试分为两面，没有笔试。一面电话面，聊项目，因为华为实习完自己终于有时间总结了做过的项目，所以直接开讲，一个项目讲了30分钟，讲完问了几个项目上的问题技术面就OK了。**这里建议大家把自己做过的项目总结为一个word文档或PPT，包括项目内容介绍，遇到的问题，解决的方法和最后的思考，面试的时候直接从头讲到尾，项目不在于多而在于精，一到两个项目足已。**二面现场面，兆芯让我觉得亮眼的一点是二面不光聊了技术，还聊了项目管理和人员管理方面的问题，让我介绍我是怎么带本科生毕设的，这么管理是处于什么考量。在华为实习期间觉得华为内部有哪些可以改进的方面。回答的时候注意逻辑性和条理性，这是我面的公司里唯一提到管理方法的公司，水平确实比较高，会跳出研发这个小圈子，寻找能站在外围看项目，看公司发展的员工，很有意思也很有水平，总体来说聊得很不错，面完隔天就发了offer。优点是国企的稳定和相对轻松，缺点和优点一样。

● 全志科技

全志这个公司还是挺有自己的一些特色的，编解码芯片做的挺成功，上市公司，但近几年好像进入了低谷期。宣讲完了有笔试，试题包括专业知识和智力题，大多是选择题，相对都比较简单。隔天面试，面试分为两面，一面技术面，又是一顿讲，讲完问了在华为实习的感受，实话实说：苦逼而充实。然后直接HR二面，问了工作选择和自己的喜好，HR是学心理学的，天南海北聊了好多和专业完全不相关的东西，能看透很多东西，和聪明人聊天的愉悦感真的比拿到offer还开心！给了我很多建议，很nice的良心HR！整个笔试和技术面都比较平和，和兆易创新差不多（但兆易没有笔试且不再单独说了）。面完直接发offer，后面给了ssp，可以看出今年也是很希望能招到不错的新人。虽然最后没去但还是很感谢HR！

● 寒武纪

寒武纪今年来的特别早，也是我拿到的第一个提前批offer，先做线上笔试，笔试题还可以不算简单也不算难。然后电话面，电话面的很细，先讲项目然后会根据项目中的各个步骤针对性的提问，涉及后端基本的知识点，也涉及工艺中的概念。后端面试还会问到前端的東西，比如DC，各种文件的定义和包涵的内容，整个flow过程需要规避的风险和关注的点，总体来说问的很细。因为面的比较早，有些问题确实还没想过答的也不好，但记录了不少原先被忽略的问题。**这里建议你们面试时要及时记录没有想过的问题，下来自己好好想想，有些问题本来不是很难，只是你做的时候可能忽略了。这样到后面才能越面越好。**因为是提前批所以等了好久才收到offer，开始价格和去年持平，后面发现今年普涨又开始加钱，但还是拒掉了。不过站在AI风口的寒武纪还是很值得加入的，稳稳的独角兽！

● 格科微电子

主要做摄像头的，出货量在亿级别，做模拟同学的好选择，数字这边因为团队不是很大，所以也拒掉了。笔试+面试（技术面和HR面），没有特别要说的，推荐做模拟的同学重点关注一下。

● 比特大陆

比特大陆作为一个成立5年的公司，2017年全国IC公司营收排名直接从十名开外干到第二，2018年第四，让全世界见识到什么叫真正的资本力量和资本泡沫！作为区块链巨头，占据矿机芯片70%+市场份额，是台积电的大客户之一。

线上笔试+两次电话面试。面试还是讲项目然后问一些基本的问题，比如STA方面的一些东西，门锁效应，什么是OCV/AOCV，解释AOCV原理。面完后三四天发了sp，但考虑到矿机芯片活力有限，上海子公司成立时间较短等原因也拒掉了。但比特币我个人认为还是会有其存在的价值的，凡事都有周期，比特大陆已经在港股提交IPO，融资准备子弹转向AI，来对冲硬分叉和比特币大跌带来的风险。也是我看好的AI公司之一。适合有工作经验，技术成型的人跳槽过去赚钱。

● Cadence&AMD

都是美帝老牌科技公司，人性化&福利待遇&规章制度都堪称完备，两家公司从面试官到HR人都很nice，AMD面试官和HR声音一样甜了解一下，这也从侧面反映出外企确实很适合女生啊，师妹们可以重点留意一下。

都有笔试，Cadence的还是英文笔试题，做的我一脸懵逼，最好准备一下英文自我介绍，当然技术面还是说中文。但Cadence作为EDA厂商有一个问题就是把流程分的太细了，EDA软件测试岗的每一步都会分给不同的人做，这样感觉会对未来的发展有一些的限制。AMD flow相当完备，有个笑话是说AMD flow追求的终极目标是按一下按钮数据就可以拿去流片了。会和外籍员工一起开会，有机会去国外出差，这都非常吸引我，上海研发中心2000人的规模也很大，待遇在外企里也是最好的，听说朝九晚六，作为IC民工，这样的良心东家不好找了！女生们可以重点关注起来！但发offer节奏有点慢，口

头offer到正式的三方offer我等了一个月左右，因为要申报到北美走流程。虽然最后都拒掉了，但希望两家外企越来越好，毕竟美帝良心企是日后很多人不错的选择。

• 大疆

大疆也是我最终选择的签约东家，无论从公司、产品、待遇福利方面都很吸引我，全球无人机领域的战斗机。分笔试+面试

笔试就很难，性格测更难，很多人都挂在性格测上，大疆的性格测确实是我做过的最难的，其中包括性格测试（如对加班的看法，和同事意见不合怎么办，业余时间的爱好等），逻辑题，小学奥数题，图形题，有关大疆产品的题。反正很多，我一个人做的时间很紧，如果分数不够挂了就基本丧失了面试机会，很无奈。所以做之前还是先好好准备下，个人感觉大疆要的是比较激进的人，答题的时候不要太中庸，要aggressive一些。

面试分为两面，全是技术面，一面讲项目，基本都是问项目里的问题，也问了一些基本的概念，比如double pattern, OCV, setup和hold定义和违例修改方法等等。二面拿着成绩单问学过的课程，工艺，封装，流程，其中穿插着项目和基本概念，让画出与门的管级电路图和版图，计算setup和hold违例时间，还有一些前端的东西，比如DC具体是做什么，为什么要设置sdc，其内容和设置依据。怎么快速在一串二进制数字中找出几个1，最快的方法是什么。还有一些数学上的问题，比如二分法，插值法，最后问了对大疆的了解。整个面试过程问的很细，都是沿着一个方向一直问下去，直到不会再换个方向问。Offer发放速度比较快，面完第三天发口头offer，又过了不到一周发三方正式offer。

5.关于心态和运气

心态：找工作很像谈恋爱，充满各种玄学，最重要的是做好自己然后保持耐心。很多人工作找到一半会感到焦虑，其实没必要，工作是双向选择，那些不认可你的地方，就算勉强去了也不一定适合你。求职的时候不要总觉得自己有求于人，就矮半头，企业招聘是在人才市场上融资，你需要做的是像投资人一样去审视这家公司值不值得你投资，不适合就不要硬上，否则赔的终究是你，更不要因此否定自己。

运气：说到运气推荐一部电影《赛末点》（match point），这部片子很好的演绎了有时候运气可以改变一个人的人生走向。不可否认运气在找工作的过程中也占有一定比例，比如你碰到一个和你聊得很好的面试官，再比如技术面的问题你刚好之前准备过。但在找工作这件事上运气成分可能只占10%吧，80%都取决于你的实力，所谓尽人事听天命，还有10%是玄学就让他随风去吧。

6.写在最后

找工作比较看重的几个点：

1. 实习经历和对口的项目经验。所以大家研究生期间多向这个方向靠拢；
2. 好的简历。简历要好好写，写自己能讲清楚的项目，最多写三个，写太多也没时间讲，别给自己挖坑；
3. 多参加笔试面试可以积攒经验，记录问题，找到自己的不足。

总结：2018无疑是中国IC崛起元年，期间发生的很多事，导致IC人才市场出现明显供需不平衡问题，进而形成卖方市场和溢价，但这并不意味着躺着就能很好的吃到那部分市场溢价，大家平时还是要多努力，毕竟人不能完全依靠市场。

关于求职前方向选择的问题

其实我们职业生涯的绝大部分问题，都可以归结为以下三个点。你拥有什么？你想要什么？你愿意为此放弃什么？这三件事你想清楚了，绝大部分问题的答案都会变得明了，这三件事你没想明白，你就会陷入什么都想要的死局。

首先说你有什么，很多人会问某个方向怎么样，好不好找工作，这个问题其实很难回答，因为决定你今后发展和起步的因素实在是太多了，你学校的平台（清北很多工科硕士都转金融互联网了，但很多双非院校金融专业的研究生却都找不到好工作），你自身的实力（同等学校相同专业的学生可能薪水从5K-25k呈正态分布），甚至是你的运气（18年中兴被制裁导致整个IC行业集体涨薪）

接下来是你想要什么，即你先要搞清楚自己到底适合什么想做什么。有的人就是没办法坐在电脑前码代码，喜欢出去乱跑和人打交道且有推销的天赋，那就趁早去做销售和市场，不读硕士也罢，因为一个工科硕士文凭真的对销售能力的提升很有限，浪费时间做了一堆使你痛苦万分的事情不说，硕士毕业你跟人家做了三年销售的本科生比，你有啥优势？年龄吗？所以在这里我是不太推荐硕士一毕业就去做销售的，尤其是在自身优势不明显的情况下，因为其门槛相对于研发而言较低，硕士毕业对公司整体的运营模式又没有工作了三年的本科生熟悉，当然我觉得做产品是可以尝试的，前提是你有天赋和兴趣。而有的人就是喜欢搞研究，那就多学技术读个研和博，当然这个前提是非常喜欢且很擅长，在当前天朝这个大环境下，对科研人员尤其是博士生确实不太友好。还有的想转CS那就趁早学起来，不要老刷知乎求方法论，那没啥卵用，重要的是实践起来，但有一点，你必须结合自身情况认真考虑转CS的难度，如果自己coding很强没啥犹豫的，赶紧转！如果coding一般没啥天赋，准备零基础开搞还是慎重吧，这年头EE也还行，搞到中上毕业进个大厂比起码农也不会差太远，三年前谁能料到2018 IC界出了大事集体涨薪而互联网经历寒冬开始裁员了呢？

而放弃什么，就是指你要付出的代价和你丧失的机会成本。比如你做研发为了尽快提升自己的技术能力放弃了轻松的外企选择了苦逼的华为，比如你本科毕业为了尽早成为销售精英放弃了读研等等。因为并不是所有人都适合做研发或销售，这是需要你自己权衡的，没人能真正了解你的内心，你的性格和你自认为最为合理的生活方式。这些都是你愿意放弃什么。

古人说人心不足蛇吞象，人不可能什么都要的。其实所有的不幸往往都来自于你什么都想要，却什么都不肯付出，还总觉得有办法可以一劳永逸。人一定要学会舍得之道吧，没有舍，绝对没有得。

希望学弟学妹们都能保持清醒的头脑并在将来找到满意的工作吧！

数字IC验证面试经验及面试题总结（2017年）

转载自知乎用户 [太雄](#)

地址：<https://zhuanlan.zhihu.com/p/29642469>

经历了一个月的兵荒马乱，总算找到了自己相对比较满意的工作。现在终于静下来，希望对这个九月做个总结，同时希望自己的经验给下一届找工作的学弟学妹们一些参考。

进入八月，作为一名学酥，当找工作这件事咄咄袭来时，坦白讲，我是很心虚的。但是该准备的还是得准备。因为在西安一家外企实习，白天上班，没有太多时间复习，所以在找工作前夕基本都是下班后就去图书馆自习，然后周末也是，简直出去嗨的心情都没有。但复习还是些许盲目的，你永远不会知道面试官抛出来的会是什么样的问题。但经历了无数的笔试面试之后，发现数字IC的笔试面试还是有很大共通之处和规律可循的。期望我的经验能让你少走些弯路，当然不走点弯路是不可能的。

有关笔试准备：

数字IC验证的笔试往往和数字IC设计做的是同一套笔试题，所以相比有数字设计经验的同学，做验证同学的在笔试环节还是有很大劣势的，但也并不是不可弥补。笔试题一般侧重基础，但基本都跟数字IC设计中最常用的方法和思想有关，最常考的有：

1. 信号的跨时钟域同步。包括单比特和多比特，对于单比特自然用两级寄存器同步最为方便。对于多比特，常考察异步FIFO以及握手方法。要理解亚稳态的概念以及避免亚稳态的方法。
2. 说到亚稳态，就不得不说setup time 和 hold time。一定要掌握两种时钟约束和分析时钟约束的方法。清楚四种路径（输入到输出，输入到寄存器，寄存器到寄存器，寄存器到输出），并能找到关键路径。会计算最高的工作频率。
3. 分析和修复setup time validation（降低时钟频率，组合逻辑优化或拆分，提高工作电压）和 hold time validation（插入buffer，更难修复）
4. 能用verilog描述常用的电路结构，如：D触发器，计数器，分频（奇数倍分频，偶数倍分频，小数分频（如1.5倍）），同步FIFO，异步FIFO，序列检测器（FSM实现）
5. 用verilog描述给出的代码或者伪代码
6. 找出verilog代码中的错误，如信号未进行跨时钟域同步，无else分支会产生不期望的锁存器等等。
7. 阻塞，非阻塞赋值
8. sv基础，包括@signal触发和wait(signal)的区别，事件触发，队列操作，task同步调度（fork ...join, fork ...join_any, fork ...join_none的用法差异）
9. 掌握一些常用的协议，如I2C（能够根据提示用verilog实现），SRAM协，AMBA(AHB), AXI
10. 异步复位在使用时应当注意什么？异步复位，同步释放
11. 请画出异步复位同步释放的电路结构：
12. 在验证环境中，C如何access和dut中寄存器，是如何联系的？Verilog 提供VPI接口，可以将DUT的层次结构开放给外部的C/C++代码，而systemverilog提供了更好的接口：DPI。
13. 掌握一些常用的低功耗方法，如clock gating(能画出电路结构图)，了解DVFS，多阈值电压技术，多电压技术
14. 组合逻辑输出需经过寄存器过滤毛刺

数字IC验证面试题：

面试准备：

面试之前充分准备自我介绍，针对外企可以准备一份英文自我介绍，最好能够用英文介绍自己做过的项目或课题。然后最重要的是充分准备好你简历所写的内容，写在简历上的东西一定是你吃透了的。如果有项目的话最好把项目各方面可能会被问到的问题想到。另外一个容易被忽视的是，好多人对选择工作城市的理由上准备很不充分，我自己就因为这个吃了很多亏。要能够给出很合理且具有说服力的理由让面试官相信你确实想要去那座城市工作和生活，表现出自己的诚意。不然就会让面试官怀疑你只是在收割offer。

技术面：如果你有项目经历的话，面试官最关心的是你对你自己做过的项目有没有吃透。所以面试前的准备就显得很重要，当然，这是建立在你扎实的项目经历之上的。当然，有些面试官如果对你的项目经历不感兴趣，他/她可能会问你一些基础知识。比如我就遇到过不懂验证的面试官，当场出一两个基础题（比如COMS相关，10进制计数器电路结构，只用两输入与非门实现两输入或门等等）。大多数技术面的时候最后面试官一般会问你还有什么问题，面试前最好有所准备，准备一些有关职业发展，工作岗位等问题。一般在技术面时不要提及薪资待遇，因为这是HR负责的部分。

HR面：HR面一般在技术面通过之后，这个时候就可以细致地了解薪资福利等方方面面的问题啦，包括吃，住，行等问题都可以提问。

1. 先简单谈谈你现在在做的工作。
 2. 请谈谈你在学校的学习和项目。
 3. 请谈谈你对UVM验证方法学的理解。
- UVM验证方法学是基于systemverilog语言形成的一个高效的验证方法。它的主要特点是提高了代码的**复用性**，使得验证人员能通过代码移植复用修改**快速搭建**验证平台，从而将主要精力放在具体**测试用例**的编写上。另一方面，UVM**封装**了很多好用的方法，这使得验证人员不必过多关注底层实现，而且减少了验证平台的调试时间。
4. 请谈谈UVM组件的关系。
 5. 举例谈谈**UVM组件中的一些常用方法**。
 6. 请谈谈**virtual sequencer**与**sequencer**的区别，以及为什么要用**virtual sequencer**？
- 如果只有一个驱动端agent，显然是不需要使用**virtual sequencer**的。
 - 如果有多个驱动端agent，但是多个激励之间并无协调关系，**virtual sequencer** 也并无必要。
 - 如果有多个驱动端agent，而且多个**激励之间存在协调关系**，那么**virtual sequencer**就很有必要了。这个时候环境中需要包含一个甚至多个**virtual sequencer**了。
 - **virtual sequence** 和**virtual sequencer**的“virtual”有何含义呢？
 - **Virtual sequencer 有三个属性：**
 - **Virtual sequencer**控制其他的**sequencer**
 - **Virtual sequencer**并不和任何**driver**相连
 - **Virtual sequencer**本身并不处理item
 - 并不像正常的**sequencer**那样，将**sequence item** 通过**sequencer port**传递给**driver**。**Virtual sequencer**通过一个**指向subsequencer目标的句柄来指定sequencer**。这里的**subsequencer**就是和**driver**相连接的真实**sequencer**。所谓的**virtual**就是指真正的**sequence**并不是在**Virtual sequencer**里产生和传递的。一个**virtual sequencer**可以通过它的**subsequencer**产生许多种不同类型的**transaction**。而**virtual sequencer**的作用就是在协调不同的**subsequencer**中**sequence**的**执行秩序**了。
7. 为什么会有**sequence**,**sequencer**,以及**driver**，为什么要分开实现？这样做有什么好处？

最初的验证平台，只需要driver即可，为什么还需要sequence机制？

- 如果事务在**driver**里定义，会产生一个问题。比如事务种类繁多，岂不是每次启动一个事务，都要修改**driver**的**main_phase**代码部分。
- 如果定义多个**driver**，那么会把UVM树形结构搞的乱七八糟。所以，要从**driver**里剥离事务产生（具体包括事务定义、事务产生的步骤）的代码部分。**driver**只负责事务驱动即可。
- 补充一句，验证的**case_list**，是用**sequence**机制去实现的；并保证了UVM树形结构的**单一性、统一性**。使得可维护的能力大大加强。

上述解释，也是**sequence**和**sequence_item**不属于**uvm_componet**的原因。case相关的代码改动，都在**sequence**和**sequence_item**里实现。

8. 你写过**assertion**吗？**assertion**分为哪几种？简单描述下**assertion**的用法。
- **Systemverilog**断言属于验证方法中的一种，**断言(assertions)**就是对设计属性(**property**行为)的描述，如果一个属性不是我们期望的那样，那么断言就会失败。**assertions**与**verilog**相比，**verilog**是一种**过程性语言**。它的设计目的是硬件描述，它可以很好的控制时序，但是描述复杂的时序关系，代码较为冗长，**assertions**是一种**描述性语言**，设计目的为仿真验证，可以有很多内嵌的函数来测试特定的时序关系和自动收集覆盖率数据。
 - **SVA**分为**并发断言**和**即时断言**两种。**并发断言**是基于**时钟周期**的，在**时钟边沿**计算表达式，它可以放在**模块(module)**，**接口(interface)**，或**程序块(program)**的定义中，以**关键词“property”**来定义，可以在静态验证工具和动态验证工具中使用。**即时断言**是基于事件的变化，表达式的计算像**verilog**中的组合逻辑赋值一样，是立即被求值的，与时序无关，必须放在过程块中定义。
- 并发assertions：


```

1 property a2b_p; //描述属性
2
3 @(posedge clk) $rose(a) |->[2:4] $rose(b);
4
5 endproperty
6
7 a2b_a: assert property(a2b_p); //assert property SVA的关键字表示并发断言
8
9 a2b_c: cover property(a2b_p); //覆盖语句

```

9. 请描述一下你所验过的模块的功能。

10. 你对fifo熟悉吗？谈谈**如何判断fifo的空满状态**？

- 严格的空满判断：w_ptr==r_ptr且读写回环标志位相同时为空，w_ptr==r_ptr且读写回环标志位不同时为满。这在同步fifo中一般没什么问题，但是在异步fifo中一般要做悲观的空满判断，以免在fifo空时读获fifo满时写。
- 保守的空满判断：方向标志与门限。设定了FIFO容量的75%作为上限，设定FIFO容量的25%为下限。当方向标志超过门限便输出满/空标志，其实这时输出空满标志FIFO并不一定真的空/满。

11. fifo有同步的和异步的，它们有什么区别？

- 同步fifo读写时钟相同，异步fifo读写采用不同的时钟。

12. 对于**异步fifo**，如何处理空满时的同步问题？还可以采用什么方法？

- 读写指针转化为格雷码后再进行同步。

13. 请谈谈**验证的思想**，验证人员和设计人员思考问题的差异。

- 验证永远是不充分的，永远是没有最好的，用一个同事的话说，如果非要给验证订一个期限的话，我希望是一万年。

目前通用的做法是看coverage.

- 看design spec
- 了解相关协议
- 编写test plan及verification spec
- 搭建验证平台
- 依据testplan创建测试用例testcases
- 仿真和debug,包括环境和design的bug,花费时间最多。工具是VCS/verdi,debug的手段主要有：查看log，看波形
- regression 和覆盖率
- code review

14. 你们项目中都会考虑**哪些coverage**？

- Line coverage, condition coverage,branch coverage, toggle coverage, statement coverage (FSM)

15. **coverage**一般不会直接达到100%，当你发现有condition未cover到的时候你该怎么做？

- 编写定向测试用例 (direct case)

16.为什么要尽量**避免绝对路径**的使用？如何避免？

- 绝对路径的使用大大减弱了验证平台的可移植性。避免的方法是使用宏和interface。

17. 如何在driver中使用interface？为什么？

- 由于driver是类，而在类中不允许直接使用interface，所以在类中使用的是**virtual interface**。然后再top_tb中通过uvm_config_db#(virtual)::set()...的方式将if set到driver 的vif。

18. 你了解UVM的**callback机制**吗？

- callback机制最大的用处就是提高验证平台可重用性。它通过将两个项目不同的地方使用callback函数来做，而把相同的部分写成一个完整的env，这样重用，只要改变相关的callback函数,env可以实现完全的重用。
- 此外，callback还用于构建异常的测试用例，通过factory机制的重载也可以实现这一点。

18. **OVM和UVM有什么区别**？

- **UVM = OVM + VMM (RAL) ?**
- OVM没有寄存器解决方案，也有factory机制，然而cadance推出RGM之后补上了这一短板，但使用RGM需要额外下载，没有成为OVM的一部分。OVM现在已经停止更新。
- UVM几乎完全继承 OVM，同时又采纳了synopsysVMM中的RAL寄存器解决方案，同时吸收了VMM的一些优秀的实现方式。又mentor和candence2008年联合发布。

19. UVM各component之间是如何组织运行的，是串行的还是并行的？如果串行的，请问是通过什么机制实现各组件之间的运行调度的？
- 关于UVM的运行机制，学过UVM的应该都很清楚了，无非是各组件之间的关系，以及Phase机制等等。UVM其实是软件，而软件本质上都是顺序运行的，dut硬件是并行运行的。关于各组件之间的运行调度，仅仅从《UVM实战》这本书上是得不到答案的，时候我有翻看了SV绿皮书，感觉从中找到了答案。测试平台的调度是通过事件触发驱动的（如@，->event）
20. 对一个加密模块和解密模块进行验证，如果数据先进行加密紧接着进行解密，如果发现输入数据与输出数据相同，能不能说明这两个加解密模块功能没有问题？为什么？
- 看到这道题，当时的反应就是应该首先分别对加密模块进行验证，如果没有问题，再一起进行验证。但是面试官对这个问题貌似并不满意，问我为什么直接验就不行呢？我当时一下子也说不出原因。
21. 在对一个模块仿真的时候发现：如果输入是一个地址addr，发现dut的输出是一个相同的地址addr，但是参考模型的输出是addr1.请分析可能是什么问题导致的？你会怎么去解决？
- 我首先想到的是，要么dut设计出错，要么参考模型出错。首先需要根据spec的定义检查我们的参考模型有没有问题，如果没有问题，通过仿真对设计进行debug，找designer确认问题和修复。但是面试官依然不满意，她最后指出，我有没有考虑到可能通过配置寄存器让dut工作在不同模式，是不是dut工作在bypass模式，而参考模型工作在其他模式？当时就得自己怎么就没想到呢？有点自惭形秽，可事后细想，发现她的提问方式本身就有问题，提问时没有给出足够多的信息和引导，答不上来也是在情理之中。下来和也参加面试的同学讨论的时候发现，几乎所有人都被问到了同样的问题。

.....

以上就是我能想到的经验分享啦，纯属个人意见（如有遗漏，后续还会补充），如有不妥之处欢迎批评指正，也希望各路高手能够加以补充。

2020校招数字芯片验证岗面经

感谢好友 [cuddly](#) 的面经分享

背景介绍:

本科二本通信专业，硕士985集成电路专业，但是实验室非IC方向，同门偏电化学方向，自己的课题偏嵌入式方向，自学验证+路科V2验证课程，学习时间半年，验证项目经历是V2课程实验。秋招从八月份开始投递简历，一共投了近三十家，投递岗位方向均是数字验证，面了10家左右，最终收获四家offer。

面试情况:

• 禾赛科技

第一家面试企业，主要做激光雷达，工作地点上海，创业公司，薪资不错，电话面试主要问了组合逻辑与时序逻辑，同步异步，状态机，uvm寄存器等问题，偏基础，但是自己准备不足，一面挂。以下是朋友面试禾赛时的提问：部分问题比较偏，也是因为朋友简历有相关内容。

三.禾赛现场

一面：

与门的管级电路 或者dff的

画计数器的电路

讲cis像素怎么读出

几路adc

Slvs-ec协议为什么mipi快

Spi为什么选5M 为什么不10M

二面：

设计一个延时128的电路

用双口ram

三面：

一阶RC网络的一阶响应模型

2019年8月9日 09:18

禾赛科技 2019.8.8 19:40-19:55

一面

1.总线AXI4-lite有哪些通道？

2.断言sequence分哪两类？

3.断言中and 和 intersect的区别？

3.[*3]、[=3]和[->3]区别？

4.phase的domain的概念？

5.component和object的三个区别？

由此，我发现我的基础薄弱，所以我根据面试情况狂补了基础，事实证明确实有效。主要是看腾讯课堂视频：数字IC与FPGA面试笔试讲解，这个博主同系列有好几个视频，可以用来看看考点，补基础。

● 中兴提前批

八月初投递的，提前批当时免笔试，直接面试，电话技术面是一个做后端的人面试，主要问了：同步与异步的区别以及用哪个更好，数字IC的整个流程，你所了解的EDA工具，时序分析，建立时间与保持时间以及谈谈工作地点等等。后来等到九月正式批直接发放offer。签约时给的后端岗，谈薪资时，我想高一些，所以现场又问了一些你对后端的了解，最终地点与薪资比较满意，但我最终还是拒了。

● 智原微电子

这是一家台企，主要工作地点苏州。面试时间八月底，电话面试官是他们数字组的验证经理，大概面了40分钟，除了前面提到的那些数字集成电路的基本知识以外，被问到：验证计划包括哪些，sv的rand与randc，面向对象编程，uvm的phase机制，uvm_config,sequence与sequencer，virtual sequence等等。面试过程中遇到不太会的，面试官还会主动讲解，面试官比较nice。九月上旬拿到offer。

● 普瑞集成电路，豪威，兆芯

这三家放一起说，感觉面的还行，不知道咋凉了。普瑞南京的台企，电话面试，两个面试官一人一句面了一个小时。把简历写的全文了，包括问了绿皮书所有代码是否都跑过。豪威：上海的外企，在实验室桌子上趴着睡觉时，打电话过来面试，两个人面了40分钟，主要围绕SV与UVM。兆芯：上海的国企，QQ视频面试半个小时，主要围绕SV与UVM。这三个均是技术面完就凉了，自我感觉大部分问题都答出来了，可能是一些关键问题上答得不好。

● 复旦微

现场笔试，笔试完当晚面试。面试官很nice，聊的很开心，但是个人综合能力太差，遂凉了。现场给出一个时序路径图分析，写SV代码，手写递归等等，还聊到个人兴趣爱好，包括如何了解到复旦微。

● 华为

从去年秋招开始，华为芯片岗与逻辑岗增加笔试，面试需要手写代码，代码不过，面试over。一面：面试官给出一段序列，用状态机做序列检测，聊了下验证项目的整体结构，边写边画，并说明每部分怎么做、干什么，讲覆盖率有哪些，怎样才算验证工作完成，验证人员的基本要素。二面：手写回答一个问题，讲实验室课题的项目。三面：聊地点，期望薪资，做设计还是验证（华为统一为数字方向）。没有到第三面的直接凉，基本三面完了就泡到资源池，等待开奖。最终拿到offer。

● 兆易创新

现场笔试完，隔一天后现场面试。笔试设计验证一套试卷，验证题只有一两道，给出一段SV代码写出执行结果，SV的基本语法。由于上过V2课程，这部分对于我比较简单。技术面：讲了验证项目的框架结构，怎么做覆盖率，写一个断言例子等。HR面：聊工作地点意向，职业规划，面了哪些公司，结果如何（我就说了两家大公司和两家小公司，说拿了两个offer,一个没有不是有点惨吗）。最终选择地点工作西安，十天后电话通知给的SP，性价比极高。

● 寒武纪

正式批面试时，我已经签了三方半个月了，整体状态全无，凉。主要围绕SV与UVM，重点是面向对象编程的三要素，怎样才算验证完备，一个系统验证需要考虑哪些问题。

以下是我朋友的寒武纪提前批技术面问题：

1. test plan内容?
2. scoreboard
3. reference model
4. 数字IC设计流程
5. 你在项目中遇到的困难?
6. 断言的概念：断言是设计的属性的描述。
7. 回归测试的概念（因为目前在做）
8. 异步fifo的异步时钟是怎么处理的?
9. phase机制（主要包括哪些phase?）
10. factory机制

总结

最终个人想去大公司，选择华为，论性价比兆易创新不错，想留西安的同学可以关注一下。每次面试完我都会在本子上记下面试中的问题，然后复习一遍，我推荐大家也这样做。因为很多时候面试问题会重复，这样做也可以查漏补缺。对于非科班的，个人觉得不管你是不是做芯片的，是不是相关专业的，你想应聘这个岗位，那你需要对这个岗位做适当了解，所需技能不一定要精通，但你得了解，这样让面试官知道，你要做这个岗位，做了哪些准备工作，在短时间内学到了什么程度，潜力如何。机会永远是留给有准备的人。

感谢网友 UESTC_ICER 投稿

目前投了好几家，但是正是开始面试的有3家。

中电14所

项目对口专业对口，简历关刷人很多，教研室只有两个过了简历，要求本硕985，还要求专业对口，本硕成绩都比较高。

• 技术面

很水，主要问问看你来南京的意愿，他们主管说看你远道而来，第一面肯定不会挂你，但是接下来是带你去下面部长面试。先做自我介绍，问了为啥本科体育成绩那么差？有没有女朋友，属于什么性格的人。

部长面：问题差不多，问了有没有在写文章，多问了了不了解波束成形，你的雷达测向是怎么测得。

• HR

填个问卷，父母单位职位，期待薪水，找工作看重的几个要素，问怎么看待华为，研究所也加班为啥选择来这里。一天面完，如果通过了，第二天就发了性格评测。

回到学校赶紧做完，感觉就是按照自己性格做的，少说话多做事，结果过来大概一个月又收到评测短信，问那边说性格测试挂了，所以重新发一次让重做一次。然后这次就很认真，找了个同学参谋一起做，结果还是挂了。。。。。。可能天生不适合体制内吧。

讲道理，如果不是性格测试，我真的还是挺想去14所的，加班没有外面公司重，给的待遇确实挺好，22W-25W+12*8K公积金+事业编+600房补+400油补。没有中年危机，除了他们不做芯片，进去应该是去做FPGA/嵌入式开发。

中兴提前批

据说今年中兴提前批比去年要求高了不少啊，我有同学报了FPGA的班面试被怼的挺惨。我们组中兴是被内推过去的，所以基本上都是第一波面试。

• 一面

主要就是问项目，问项目中开发工具，遇到哪些问题，你项目中ARM部分的C代码是谁写的，然后看简历我还做过后端，问了大概40-50分钟？然后说感觉我基础知识蛮扎实的。然后挂了，然后过了几分钟，又打电话过来问你的意向城市是哪里？我说优先二线城市吧，成都南京。貌似一面通过了后，会收到测评短信，目前做完评测（内容就是一些类似公务员行测题这种）。

乐鑫提前批

乐鑫感觉是我面试觉得面得难度最大的公司。

• 一面

牛客网视频1对1，对面是苏州的开发人员，问了项目，比较注重细节，问我怎么处理从BRAM的数据搬到DDR3里的时序，有没有考虑过AXI的高级功能，我项目比较多，应该是为了把控时间吧，就聊了两个项目，问我FFT模块里的专利创新点。我是怎么设置FFT模块为50Mhz,是怎么考虑数据量带宽的。我说，单测自己写的FFT模块的后端在tsmc180nm只能跑到50M，所以我们都是根据后端跑的频率做的DEMO，事实上DDR3的时钟有500Mhz,足够满足写入数据量的带宽。

● 二面：HR面

感觉乐鑫HR蛮傲气的。上来问说我成绩比较好，问我属于天赋类还是努力类。我说我是总结类，会写一些博客总结项目，然后就问有没有github项目，为什么没有把博客链接写简历上。

我简历有参加比赛，然后问为什么没有拿国奖，我说团队磨合问题吧。然后就进圈套了，你觉得是你自己的问题，还是队友问题。如果重新打那次比赛，你会怎么做。你怎么看待大公司的必要的恶？最近在看什么书，有看什么技术类的书？有没有看宣讲会，对乐鑫有什么了解和看法。未来的职业发展。然后问了我们教研室有几个过了笔试，好像就两个。

“那你们教研室通过率比较低啊”。

然后问了问期望薪水，我说VIVO东莞给了我们教研室这边offer 24W-30W，我觉得在这之间吧。然后他问你们组拿了几个VIVO的offer，我说有6,7个。

“那您忙教研室拿的OFFER挺多的嘛”。

然后我问你们今年招几个啥的，都没有靠谱的回答。

● 三面

感觉要跪。面试官是技术主管，肉眼可见的劳累，头发都白了。感觉他们需要对verilog非常精通的人，按他的话说需要在写代码前，电路就已经在脑子里了。

首先是自我介绍，我讲到第三个项目就被打断，然后问这个项目有传承吗，是全自己做的还是在前人基础上，我确实是自己做的，之前的师兄的毕设代码都是我弄的呢。。。问我写过那些接口，AHB, APB, AXI, SPI, IIC。然后问我，为什么AXI比AHB快，我说数据通路读写AXI是分开的，读写效率更高，而且AXI burst传输只要配置好传输字节数，然后送起始地址，设置递增传输，剩下只要传数据进去就行了，而AHB必须读写占用同一数据通路。他说他问的是为什么更快？？？我不理解，读写效率更高不就数据吞吐量更高吗？至于时钟频率，那个得看工艺和具体电路实现吧。

有没有用过什么脚本语言，python, tcl。

项目还问了具体算法的实现，算法功能啥的。他也只问了3个项目，MCU的项目就没有问，可能觉得时间太长了。还问了我Verilog有几年的经验。脚本语言使用程度，我本科毕业设计是用Python写的，问写了啥。用没用过正则变换，木有。用python写的算法。

linux使用程度，后端工具都是在linux环境下使用的，还比较熟。问用什么编辑器，正常大佬们肯定都用vim啊，但我日常vim用得少，我怕他问些比较高级的用法就说用gedit。

他问，同步时钟的脉冲信号怎么检测上升沿和下降沿，画时序图给他看。视频面试交流起来太麻烦了。画好后，问如何用检测信号来还原原始的脉冲。

我提出的方案是用检测信号当D触发器的时钟，然后再做一些组合逻辑就行。他说，这个方案在同步时钟电路中是不允许这样做的，在高频下会出问题。然后问我还有没有方案，我说我想不出来了，感觉正常用时钟会延一个周期。然后他问我觉得这个理论上用电路可以实现吗？我说除非有预测电路，感觉不太可能实现吧？

他也没有回答。

还问我愿不愿意做验证，我觉得可以，问为什么，对验证有哪些看法。还有愿不愿意做流程，就是综合，DFT这块。我说DFT我没学过。

接下来我提问，问他觉得我有哪些需要改进的地方，他说感觉我经历比较丰富，前后端测试都跑过，嵌入式也搞过，通信的算法也做过，也有完整流片经历。但是问题在于需要做些总结，设计岗需要对verilog非常精通的，我这方面并不突出。（然而我这种啥都做过一些的反而在面14所和中兴的时候那边却还是觉得比较好，说基础比较扎实）。

问他有些二面就有offer call是为啥？他说应该是资源池，待定的这种，正式offer都需要三面的，一般是等别人放弃offer就会联系offer call。

然后问了问他们对新人培养啥的，一年内会有导师带，有什么问题就可以直接问他，没有系统培训，上项目练手最快。

目前状态：等待HR电话，是死是活应该一周内会有结果吧。

卓胜微电子-成都

这家算射频领域独角兽吧，数字的规模不大。今年问hr说只找5个，因为要保证1对1培养，新人有1个月虚拟Lab（前端验证综合全程不含后端）。

• 笔试

这家公司要现场笔试的，感觉题目量还是比较大的，难度中等吧。

主要题型有概念题，电路设计题，代码题，计算题。

概念就是基础的setuptime,holdtime。jitter,skew。异步复位同步复位解释，如何跨时钟域传多比特这种类型的。比较基础。

电路设计，用MUX搭异或门，门电路搭上升沿检测，门电路搭序列检测。

代码：序列检测，画状态机。画异步fifo结构图。

计算：FIFO最小深度计算。

附加题：每个时钟输入一个bit，检测12bit数是否能被5整除。这个我有比较好的方法来简化。

• 面试

面试官是从海思那边挖过来带团队的，感觉比较年轻。这边团队目前数字3个人，然后社招2个，应届5个。感觉不看重你的本科研究生成绩啥的，主要关注你的项目。对自己的项目一定要非常非常了解，问的总线相关问题很多。axi3和axi4区别。mcu里面AHB总线里hready in和out你是怎么连master和多个slave的。你的验证平台怎么搭建的，matlab的仿真算法的数据是浮点数，怎么跟你的硬件计算结果来对比。SPI时序，你的SPI后面有没有用fifo，怎么实现的状态跳转。讲详细算法如何实现，以及你的项目创新点在哪里。MCU如何仿真的，是如何用FPGA原型验证的。后端频率上不去，组合逻辑延时，你是怎么优化的。ARM的keil C代码是谁写的。你会那些脚本语言，perl会不会。Tcl脚本会不会，DC综合的脚本谁写的。

我问了以下这边验证怎么做的，这边说小模块可能会搭平台，大的系统是自己写sv来验证的。然后说会不会有专门的验证岗，设计岗，他说目前规模比较小，很多是兼职的，不是来当螺丝钉，可能验证会兼职小模块的设计，设计也会负责一部分验证，以后规模大了就可能分开了。

• HR

hr说这边感觉招过来的全是电子科大的，面试我的leader也是成电毕业从海思挖过来的，我有挺多师兄在这边工作，所以大致情况我也有些了解。这边周末加班给钱，平时按我问在这里工作的师兄，就是996，但是其实比较弹性，如果自己的活做完了就可以先走人。一般周末要过来加班。公积金是给20%，自己交7%。年假10+带薪工作月份/2。其他就是闲聊，问下家里情况，意向地点啥的。问薪水意向，我说跟乐鑫差不多吧。去年卓胜成好像也是18K16这个样子，多的有1818这样子。然后说可以加微信，了解进度，大概1个多月后会有消息吧。

oppo提前批

• 一面

难度较小，基本上就是介绍项目。对面问问跨时钟域怎么处理，什么是settime什么是holdtime。

• 二面

面试官说时间有限，挑几个项目讲。问的研一时候做的一个EEPROM控制接口，数模混仿还有MCU的设计。问题如下：

1. 讲解一下MCU中断设计，代码怎么实现/配置中断。
2. 具体讲SPI有几种工作模式。
3. 厂家提供的IP没有GDS文件，如何仿真的。对你的功能仿真有没有影响。
4. EEPROM接口怎么设计的。状态机如何跳转的。
5. 芯片回来怎么用FPGA进行测试的。

兼珏

百度

职位：验证工程师

投递方式：内推

• 一面

- 自我介绍，学校，专业，实习内容
- 实验室项目
- 手撕apb driver代码，给出了时序图
- solve before的作用，会对约束结果的概率分布产生什么影响
- illegal bin是什么，如果触发illegal bin会有什么结果
- rand和randc的区别是什么？
- fpga设计中的约束有哪些？
- 乒乓操作是什么，作用是？
- 如果在FPGA中产生了时序违例，如何解决，如果是ASIC呢？

介绍了他们自己的昆仑芯片，对标含光。

自己准备了很多体系架构的知识，但是一点都没问到，估计面试官不怎么熟悉这方面业务。

一面是技术现场面，二面是技术视频面，一面二面一个北京一个上海，三面可能是HR或者主管综合面。

• 二面

- 自我介绍，简历相关
- 随机产生10000个不同的数（我说randc，但他说randc有限制，不能产生到10000，但是后面在vcs上实验，可以产生到65536）
- 会C++么
- 如何保证存储器控制模块地址映射正确性，MBIST的核心验证思想是什么
- 为什么想要做验证

字节跳动

• 投递信息

岗位：架构工程师，FPGA方向

投递方式：内推

• 一面

- 自我介绍，简历相关
- 手撕代码，三分频电路
- UVM环境结构
- CPU测试的test plan
- fpga的ram类型，片上有哪些资源
- fpga中建立时间和保持时间违例应该如何解决
- 如果功能仿真正确，而板级测试错误，可能是什么原因，如何解决
- 是否了解PCIE协议，VIRTIO协议
- 是否了解AXI、ACE协议
- 是否了解TCP/IP协议，数据包内有哪些内容
- 能否提前实习

张江房价贵不贵，住在哪儿，金桥和张江还是有一段距离的。他们的业务是在服务器中用FPGA加速。

联发科

• 岗位信息

联发科，芯片开发工程师

• 面经

- 一面

- 自我介绍，简历相关
- 为什么想要来合肥，对合肥联发科有什么了解，有没有女朋友，女朋友现在在哪里，感情如何
- 在做I2C这种简单的协议枯燥么
- 对着简历中的创业经历吹了快半小时
- 合肥联发科是联发科在国内最大的IC中心，业务范围覆盖很广，新人进去之后会有为期2个月的培训，再根据意愿和岗位需求进行分岗

- 二面

- 自我介绍，简历相关
- 怎样看待平头哥
- 在带领团队的过程中，如何发挥“战鼓”精神
- 为什么想来合肥
- 为什么想从事芯片验证，对设计/验证/DFT/后端岗位的理解

乐鑫

• 一面

1. 自我介绍，简历相关
2. 你为什么选择做IC验证
3. 通过什么方式自学SV和UVM
4. 是否接触过脚本
5. 100MHz的时钟发生器
6. 阻塞赋值和非阻塞赋值的区别
7. OOP多态
8. 独热码约束
9. pre_randomize和post_randomize的位置
10. function coverage : [7:0] data, 只有0~31有效
11. factory机制的作用
12. 如何启动test
13. config_db的四个参数，优先级
14. component中的phase机制
15. 1~100找出所有质数

体系结构：

1. 硬件层面和IO接口是如何进行通信的，驱动层面是如何进行操作的，应用软件层面是如何进行操作的
2. cache划分的策略，如何减小latency
3. 功能模块在进行设计的时候，是否需要追求性能的极致？
4. 流水线相关问题

华为

• 一面

1. 自我介绍，简历相关
2. 简单介绍一下你的验证平台的验证环境
3. 对验证流程的理解
4. 手撕代码：sequence_item
5. 画5分频的时序图
6. 完成项目过程中遇到了哪些困难，如何解决的

7. VCS中，编译命令需要使用uvvm，需要加哪些东西

• 二面

1. 自我介绍，简历相关
2. 介绍一下对factory机制和sequence机制的理解
3. 讲一讲你项目的验证环境
4. 介绍一下cpu流水线及其作用
5. 介绍一下tomasulo算法
6. 你知道哪些branch prediction技术
7. cpu性能用什么来衡量，讲讲roofline
8. 介绍一下TLP

• 三面

1. 自我介绍，简历相关
2. 在你的cpu中有哪几种hazard，你是如何保证验证完备性
3. 在一个l1cache中，cacheline大小如何划分，相联度如何划分，与什么有关，给出一个l1cache的spec
4. 最有成就感的事情
5. 遇到的挫折
6. 你觉得你的竞争优势是什么

商汤

1. 自我介绍，简历相关
2. 介绍一下验证流程
3. 讲一下forkjoin三兄弟的区别
4. component之间通信的方法
5. 结束仿真的方法
6. 覆盖率有哪些，如何保证验证完备，:=和:/有啥区别
7. 项目中最大的挑战
8. 自己的最大的有点
9. 想从事哪方面的验证工作

oppo

• 一面

1. 自我介绍，简历相关
2. 谈谈自己对白皮书和红皮书的看法与理解
3. sv的面向对象三要素及理解
4. factory机制的好处，override的条件，通过字符串进行创建在源码中是如何实现的
5. forkjoin三兄弟
6. timescale的作用范围及优先级
7. 知道哪些协议，讲讲apb协议
8. cpu内部的指令执行流程
9. 了解coherence么
10. 智力题：三个盒子分别放着苹果，梨子，苹果和梨子，同时有对应的三个标签，但是标签和盒子里面的水果都是不对应的，打开一个盒子就能判断出所有水果的位置，请问打开哪个盒子？
11. 智力题：烧棍子，一个棍子可以烧一个小时，如何计时半小时、75min

健宇

晶晨半导体

• 第一轮面试

视频编解码组，组里7-8人，上海ic一共4，50

- 问项目
- 让我简单介绍ic设计流程（因为我是搞fpga的）
- 介绍异步fifo
- 介绍cache
- 介绍axi
- 有没有信号处理的经验（答：没有）
- 你是哪里人（福建）
- 为啥去荷兰（世界那么大，我想去瞅瞅）
- 想回国是吧（是啊爸妈都在国内，想离家近一点）

然后告诉我之后还有好几轮

• 第二轮面试

视频编解码组

- 项目
- 异步fifo
- 项目中有没有对面积进行优化
- 怎么debug，用过什么仿真软件
- 单bit信号怎么跨时钟传输，快到慢和慢到快分别怎么搞

• 第三轮面试

视频编解码组

- 为啥想做ic，现在的年轻人好像更希望做软件，ai什么的
- fpga的设计流程是啥（面试官没做过fpga，单纯只是好奇）
- 介绍公司有几个组：wifi网口之类的数据输入输出组（主要在美国），soc组（一半美国一半上海，人比较多），视频输入输出（很大的组，上海美国都有），视频编解码组（小组，主要在美国，不想招太多人，今年最多就招一个，还和我吐槽招人太难了），想去哪个组都可以商量，没啥问题
- 验证方案：组里有自己的很成熟的视频编解码验证平台（不是uvm），很稳，最近几年从不翻车

新司机培训计划1：视频编解码里面有一个单独的模块，可以提高画面质量（但这个模块不是必须功能），会有老司机带着新司机做这个模块的设计，但这个也是组里自己的培训计划，公司层面没有自己的ic培训计划

新司机培训计划2：如果觉得单独写一个模块有点困难，想先了解视频编解码，可以在新司机培训计划1前，先读公司编解码技术文档，然后老司机带着写一些新模块的文档和技术专利文档，但这个也是组里自己的培训计划

- 现在有和别的公司在联系么（我也诚实回答有，面试官表示可以理解，他当年也是拿了不止一个offer然后选一个的）

面试没问技术问题，感觉就是在问一下情况，介绍公司，问问个人想法

最后，“聊得很愉快，小伙子，希望能和你一起工作”，感觉应该是过了

商汤科技

• 第一轮

- 项目（我的研究方向是硬件数据压缩和解压缩）
- 常规fpga问题，问fpga，bram uram
- 高频率的pulse信号怎么传低频率
- 神经网络里面，deploy时候参数会从浮点数转成int8，其中很多是0，如何压缩
- 如何在压缩率和解压缩速度之间取平衡，有那些压缩方式可以用
- 假设有一个乘法器，工作在600mhz，别的逻辑（包括bram）只能工作在250mhz，要怎么充分利用这个乘法器
- 过程中他也给我介绍了很多fpga加速神经网络的知识，比如目前的瓶颈，fpga在什么方面合适。面试官nice，面试过程以讨论为主

NXP上海

nxp上海分为 浦西 浦东（原freescale）两块，浦东design 50-60人 加软件共300 MPU 5nm

面浦东的ip设计验证岗位

问了很久项目。

- 介绍一下你在项目中是如何做验证的？
- 你是搞fpga出身的，来搞我们ic有什么准备么？
- AXI用过么？用过。
- AXI使用过程中有碰到过什么bug？
- 你使用axi的接口有使用outstanding么？
- 会不会裁员：暂时不大可能，5nm至少明年初才能第一次tapeout，如果第二次tapeout加上后续改进，需要更多时间，好几年
- 岗位具体做什么：ip设计验证五五开，同时和soc有较多接触
- 验证平台：uvm平台已经有了

面试官人很好，后来加了微信，聊了未来的规划。好厂，推荐去。

。 +1

汇顶科技提前批

• 岗位信息

验证工程师

• 面经

项目相关的问题：

1. 你做了哪些和uvm验证有关的项目
2. SPI的验证环境主要是怎么搭建的
3. APB总线端口处的transaction里面包含哪些
4. AHB和APB的比较
5. SPI端的vip是自己写的吗？（是）
6. vip作为master的时候，dut如何获得配置
7. IP和SOC的验证环境有什么区别
8. 中断怎么验
9. 仿真环境的打印如何实现
10. 带CPU跑的时候CPU如何boot起来的

基础知识相关问题：

1. uvm验证环境中用到的通信机制？（实际上想问的是config_db，但我不认为这是通信机制）
2. sv中的通信机制，简单介绍
3. sv中的fifo如何实现
4. uvm中的port, export, imp
5. C语言如果想一个信号跨模块（层次），需要将这个信号设置为什么
6. uvm中run_phase和main_phase的关系
7. 断言中如果两个sequence要同时开始同时结束，用什么判断
8. 断言中信号的上升沿如何表示
9. 断言中的\$firstmatch什么意思
10. uvm的sequence要去调用sequencer中的东西，怎么实现
11. uvm的factory（覆盖）和callback的区别

汇顶科技提前批

岗位信息

数字验证工程师

微信投递

一共有三位分享了面经

技术面

TY

- logic和wire、reg的区别
- 队列、数组的常用方法
- fork join有哪些，如果用fork join_any，往后执行怎么等待或者关闭fork里的进程
- 项目简单问了句，几乎没怎么问
- tlm有哪几种接口，scoreboard用什么接口
- config_db相关，作用是什么，怎么用
- 在哪里用config_db set virtual interface，哪里get？
- 如果想在sequence里使用config_db要注意哪些东西？
- 如果使用tlm接口，一个类中有多个同类型的接口，需要注意什么？
- assertion相关问题，什么是throughout？
- 覆盖率有哪些？行覆盖率冗余是什么意思，面试官有的时候if没写else，case没写default，就会出现

兼珏

项目相关：

- AHB的trans类型，burst类型，AHB和APB的区别，和AXI的区别
- C语言的条件判断在x86的isa和mips的isa中分别应该怎么写，有什么需要注意的地方（延迟槽）
- Instruction memory中如何读取hex文件，asm到hex的脚本是怎么写的

基础知识：

- SV中logic和wire，reg的区别，logic有什么局限性
- SV中event的用法
- SV中queue和array的区别，如何删除一个queue
- uvm中有哪些tlm通信方法，analysis port和非blocking port有什么区别，analysis_fifo
- uvm寄存器模型，为什么内建的sequence只有0，5，A，F和random这几种，前门访问和后门访问的区别
- 带参数的断言用过么（没用过）
- vcs编译选项，如何把多个case的coverage合并
- default sequence用过么（没用过）
- vir seq中包含哪些东西，怎样挂载到vir seqr中

ZH

我前面一半时间都差不多是关于项目，围绕简历上的项目去问，写的基本都会涉及，主要会关注项目职责，自己承担了哪些工作，tb架构，难点是什么，golden data 怎么来，如何去配置寄存器，寄存器值采用什么方法去传递到C中，因为我有DMA的项目，所以就围绕apb ahb axi总线去问了下，三种总线的区别，优缺点，ahb axi为什么是高速总线，ahb最快几个clk就可以完成一笔command（这个我不太会.....面试官笑了笑，emmm，了解不太熟嘛）。

最后就是关于基础知识，断言断言还是断言！！！汇顶貌似特别看重断言。。。tlm port有什么各自区别，phase机制，uvm有啥通信机制（第一个想起的只有tlm，他问还有啥，就只能答了mailbox，再问的时候一脸蒙蔽....），sv怎么实现一种类似于fifo的功能，还有就是一些DPI的东西，感觉可能做系统级多？？，问了不少SOC的方面。大概就是这么多吧。

ZZH

- 自我介绍
- 为什么突然想接触数字IC验证
- 神经网络，用的什么开发板；项目门数，综合下来多大
- UVM环境是师兄基础上改的吗？还是自己设计的。
- SV队列和动态数组的区别
- SV的并行进程用过吗？fork...join/any/none介绍一下？fork...join_any，想关掉单独的一个子进程。
- SV的event搭环境用过吗？除了@还有别的触发方式吗？
- 你的环境scoreboard里的TLM接口用的是哪种？TLM_FIFO和scoreboard之间用什么端口。
- analysis_port？一对多端口，命名冲突怎么解决？
- tlm_fifo默认深度是1吗？
- 有没有接触过UVM寄存器模型？如何和bus总线产生联系
- CNN加速架构完整介绍一下。
- UVM仿真脚本用的是啥？
- VCS编译选项了解吗？
- timescale了解吗？如果多个地方设置了timescale，以哪里的为准？

- UVM环境testcase/每跑一个testcase都要编译吗?
- 代码覆盖率有哪几种?
- GVIM相关。将10-20行的字符替换; 块操作;
- 芯片验证的流程
- 后端流程一般做什么?

本初

岗位信息

FPGA工程师

技术面

项目问的非常非常深, 非常非常细, 然后引申出很多基础知识

能记起来的:

- 用的FPGA IO bank的最大速率
- LVDS差分信号之间的电压幅度
- 项目数据吞吐量
- 底层嵌入式乘法器的位宽
- 限制你项目运行速度的因素
- 用FPGA进行完整的DPSK调制步骤和实现方法
- 对数据处理时怎么截断的, 对最终结果的影响大概有多大
- 用到了哪些约束, 具体约多少, 参数, 延迟时间啊, 负载啊这些
- 数据处理有一块大的组合逻辑调的ip核 用底层嵌入乘法器实现, 然后输出为了时序我做成流水线了, 问我 如果把组合逻辑做成流水, 你打算怎么做
- io约束是怎么定的
- 协议的控制引脚
- 数据传输的最大速率
- 项目占用的逻辑资源大概有多少
- 组合逻辑运算部分大概用几拍的时间完成, 缓冲的FIFO具体多大
- ASIC设计和FPGA设计在RTL级上的区别
- 门控时钟怎么移植到FPGA上
- 我有一个地方是用预置的闸门和输入信号一起控制 产生一个同步的闸门, 就问我这里怎么实现的判断逻辑是什么
- 用到的FIFO问具体的参数, 多少bits*多少个
- 有个地方是把数据调制成DPSK的绝对码, 他问我怎么写的FPGA怎么实现的, 然后问我如果没有功能芯片 让你全在FPGA内部实现, 你怎么写
- 测量原理之类的也问的很细, 你用的等精度测量原理 误差分析是怎么分析的, 哪些参数会影响精度

面试官说汇顶的FPGA, 基本就是通信和原型验证。简历上和这俩不沾边的, 我估计根本不给面。标配就是通信+原型验证俩面试官

oppo提前批

岗位信息

芯片设计和芯片验证

一面

• 设计

- FPGA后端流程是怎么样
- 介绍在公司做了什么，把自己做过的任务全部介绍了一遍，介绍的同时强调了下自己干了啥，写了啥，什么用的别人的脚本
- 本科学的最好的课程，为什么学的好，有什么方法
- FPGA里的时钟怎么处理
- 综合sdc inputdelay设置的多少，uncertainty设置的多少
- 本科觉得最难的课程，为什么难，最后考了多少分
- 你做过除了密码相关之外的设计嘛？
- IC的整个FLOW是怎么样
- 你的毕设可重构电路介绍下，和fpga有啥区别
- 你的几个项目大概代码量，或者等效门大概多少。
- Setup和hold概念，以及发生了违例怎么解决，为什么这么解决
- DE DV是怎么协同工作
- 同步复位和异步复位，以及各自的优缺点
- DV怎么确保验证完备
- 跨时钟域传输，单bit和多bit信号传输怎么实现；打两拍和握手一般在什么场合下使用，为什么？
- CPU的流水线的目的是什么，有什么弊端，怎么解决
- 异步FIFO，格雷码判断指针空满条件，格雷码跨域传输需要做什么处理？为什么要用格雷码
- 你整个实习经历是怎么样？team的合作怎么协调
- 奇数分频和偶数分频以及小数分频怎么实现的，说思路就行
- 建立时间和保持时间。低功耗设计的方法，自己的程序中用了哪些。跨时钟域设计。异步FIFO。格雷码。快时钟到慢时钟和慢时钟到快时钟
- 了解axi，ahb他俩的不同吗，优缺点
- FPGA时序违例怎么办
- 功耗是否了解过？静态功耗以及动态功耗怎么来的，怎么进行两者的低功耗？
- 是否学习过信号处理的课程，FFT相比于DFT有什么优点？
- 怎么减小动态功耗

• 验证

- 觉得验证工程师需要具备哪些技能？
- 你对C/C++熟悉吗？指针和引用的区别？关键字static表示什么？
- mos管搭建与非门
- 你的环境结构怎么样
- DUT和refmod的输出不一致的情况，你该怎么处理？
- 介绍SV中几种数组类型，队列和关联数组的区别，队列有什么特殊方法，队列可以通过索引获得其中的值吗
- 仿真器用的什么？VCS。VCS的-debug_access的lever有几个？你知道-kdb的选项作用吗？
- reset 的去除时间和恢复时间，如何处理？综合成什么
- Sequence和Monitor怎么联系
- 怎么把interface传到环境里
- 完整的芯片开发流程，验证工程师都做了哪些事情
- 什么是建立时间和保持时间
- SV的覆盖率种类
- UVM用什么方式去做寄存器的读写测试？寄存器模型。有哪些具体的方法或者函数可以实现呢？
- include和import作用是什么，有什么区别
- 你对VERDI熟悉吗？
- 你是怎么收集覆盖率的
- Sequence和Driver有什么联系？
- always@*是用来干嘛的
- 介绍一下Virtual Sequence和Virtual Sequencer
- 起始地址0x00，突发长度4，每周期发32bit，地址怎么变化
- uvm_do, uvm_do_with, uvm_do_on_with的区别
- 验证的完备性如何衡量？
- AXI写的动作怎么一个流程
- 用UVM做的具体开发项目？实习期间主要做了哪些工作？
- 你知道什么是死锁吗？操作系统层面
- 分支不写全会发生什么
- 覆盖率有哪些？覆盖率达到100%是否就能收工了？
- 你怎么理解IP验证和soc验证区别
- 阻塞赋值和非阻塞赋值有什么区别
- 你对APB总线的了解？
- 什么是功能覆盖率，分支覆盖率和条件覆盖率的别

- AXI的Test Case怎么写的，什么是outstanding?
- 半导体工艺
- uvm的顶层是什么?
- 如何检验burst?连续地址读不一定行，因为可能是分批写入的，assertion可以么
- 介绍一下assertion
- 时序路径有几种?
- 如何保证Master端是按照AXI协议发送的?
- 介绍一下如何验证一个SOC
- Driver里面怎么写APB的驱动?
- sv比verilog好的地方
- 如果验证模块没有达到预期的传输速率，应该怎么办?
- 在校期间学习了哪些课程?
- uvm比sv好的地方
- 你知道UVM里面，monitor和sequence是怎么联系的? sequence里面的数据是如何发送到接口的? Driver是如何获得item的?
- 有没有跟导师进实验室做项目，做了什么?

二面

• 第一位

这一面我觉得偏向于综合面，主要有以下：

- 自我介绍。
- 介绍项目，简单介绍自己项目的算法以及这个算法能达到的一些目的。技术相关问了一些相关问题，应该因人而异。
- 自己的未来职业生涯的规划（我回答的做技术到技术team的负责人）。
- 如何看待自己的自学能力?（因为我在项目里介绍了学习一些工具）
- 如何看待团队工作?
- 请介绍自己一个团队工作的经历以及碰到的问题。
- 如何在团队工作出现问题时进行解决协调?
- 你有什么问题?

面试整体大概30min，氛围比较友好。

• 第二位

- 项目架构介绍和问题，
- 芯片数据传输速率和工作速率不一样怎么办
- 想做前端、架构还是后端；
- 项目中遇到了哪些困难
- 面了哪些公司，拿了几个offer，你想去哪一家，为什么；
- 项目怎么考虑PPA的；
- 哪些方面做了功耗的优化；
- 不了解source clock 和capture clock，哪些地方需要考虑；
- 职业规划是什么
- 计算机体系结构知识，cache的一致性和流水线等
- 介绍write back和write through的区别；
- 手撕代码分频器，随便写了个三分频，进一步追问，三分频哪里可以改进，为什么不直接负沿打一拍
- 了解对DFT的影响吗或者DFT相关知识
- 怎么看待工作时间和地点
- 你有什么问我的吗

中兴提前批

岗位信息

数字开发工程师，部门面

投稿人 Michael Melkor

面经

1. 自我介绍，介绍一下个人信息、奖学金、专利成果以及项目经历等
2. 看你简历里Altera和Xilinx的FPGA都用过，这两家的FPGA内部结构有什么区别，用的更多的是哪种？Xilinx FPGA里都有什么资源
3. 面试官懂高速接口，于是接下来的很多问题都与高速接口相关。首先问了在项目中是如何使用serdes高速接口的，场景、速率
4. 简历中提到了Aurora的8B10B与64B66B，谈一谈是怎么选择使用哪一种？10G以太网使用的是哪种编码方式
5. Xilinx GT有哪几种，分别支持什么速率范围，在哪些FPGA上有哪种GT
6. 如何测试高速接口是好的，是符合要求的？说一下搭的板级测试环境和测试方法思路。在测试中光纤用的多长的，有没有考虑过光纤长度对接口的影响。
7. 是否做过前向纠错，是否对serdes的预加重去加重做过配置，是否做过眼图扫描
8. 测过的做高速率的接口速率是多少，一般是如何确定使用什么样的接口速率的
9. NAND Flash的控制器的项目你是如何进行小组内分工的，如何规划整个项目从需求到具体设计的架构？
10. 你的NAND Flash控制器是用的开源的还是要自己手写实现的？接口协议是什么，和另一个SSD主控项目里的Flash控制器在性能与协议上有什么区别？能不能从应用需求上说一说为什么他们采用了差别比较大的设计。
11. NAND Flash中使用的ECC是哪种编码，具体是哪种BCH，为何选这种？
12. 看你最后一个项目写的CPU总线接口，介绍一下这种LocalBus，以及项目中的使用场景
13. 简历里说你在CPU总线接口这个项目里除了负责了接口模块的实现，还负责了设计整体软硬件地址映射的编址方式设计，能不能详细讲讲你的工作对于软件与硬件双方的作用和意义。

kk

海思优招

• 岗位信息

芯片与器件设计工程师

投递方式：官网投递

• 一面

- 自我介绍
- 前端设计的流程
- 建立和保持时间，亚稳态
- 画项目的结构图
- 讲解下每个模块都是怎么工作的
- hls是什么？开发流程
- 流水线处理
- 还有其他项目相关的
- 手撕代码，剔除最大最小值然后求和

• 二面

- 自我介绍
- 熟悉哪些eda工具
- 动态仿真和静态时序分析的区别
- 为什么需要后仿真
- 了解后端的工作吗
- 了解验证环境的搭建吗 有哪些组件 说一说
- 如何评价验证的完备性
- 问了下断言 什么情况下使用断言
- UVM仿真脚本用的是啥

海思优招

• 一面

- 写一个同步FIFO
- 比赛的内容，几个人，怎么分工，你承担的角色
- 介绍一下你负责的部分
- 车牌识别的大概流程
- 车牌识别具体的牵扯到数字电路实现
- 遇到什么问题，怎么解决的
- 平时做实验遇到不懂的，怎么解决

• 二面

- 比赛的内容，几个人，怎么分工，你承担的角色
- 设计的流程
- 手撕代码
- 跨时钟域处理
- 异步FIFO空满判断
- 降低功耗的方法

• 三面

- 笔试怎么准备的
- 一共写过的代码行数
- 本科学校为什么一般般
- 高考成绩排名
- 研究生这两年怎么过的
- 举一个你实际做过的实现低功耗的例子
- SRAM 1bit由几个门构成
- D触发器由几个门构成
- 计算机架构看过什么书
- 网络芯片架构看过什么书
- M3核了解多少
- 20个数从小到大排列
- MOS管搭个与非门
- 对自己人际交往方面怎么评价

• 手撕代码

vaild连续拉高，同时有16bit数据进来，vaild连续拉高的周期数为3-255，然后模块要把这些数据求和，但是要把最大值和最小值剔除，最后done和sum一起拉高

```
1  module sum_detect (  
2      clk,          // Clock  
3      rst_n,        // Asynchronous reset active low  
4      data_valid,  
5      data_in,  
6      done,  
7      sum  
8  );  
9  
10     input clk;      // Clock  
11     input rst_n;    // Asynchronous reset active low  
12     input data_valid;  
13     input [15:0] data_in;  
14     output done;  
15     output [23:0] sum;  
16  
17     reg [15:0] data_max,data_min;  
18     reg [23:0] sum_r;  
19     reg reg1,reg2;  
20
```

```

21  always @(posedge clk or negedge rst_n) begin
22      if(~rst_n)
23          data_max <= 16'd0;
24      else if(data_valid) begin
25          if(data_max < data_in)
26              data_max <= data_in;
27          else
28              data_max <= data_max;
29      end
30  end
31
32  always @(posedge clk or negedge rst_n) begin
33      if(~rst_n)
34          data_min <= 16'd65535;
35      else if(data_valid) begin
36          if(data_min > data_in)
37              data_min <= data_in;
38          else
39              data_min <= data_min;
40      end
41  end
42
43  always @(posedge clk or negedge rst_n) begin
44      if(~rst_n)
45          sum_r <= 24'd0;
46      else if(data_valid)
47          sum_r <= sum_r + data_in;
48      else
49          sum_r <= sum_r;
50  end
51
52  always @(posedge clk or negedge rst_n) begin
53      if(~rst_n)
54          {reg2,reg1} <= 2'b00;
55      else
56          {reg2,reg1} <= {reg1,data_valid};
57  end
58
59  assign done = ({reg2,reg1} == 2'b10)?1'b1:1'b0;
60
61  assign sum = (done)?(sum_r - data_max -data_min):24'd0;
62
63  endmodule

```

CXG

前言

海思提前批，数字芯片岗位，7.15笔试，之后性格测试，8.1面试，一天两面，面完立即出结果。

笔试

7.15笔试，笔试都是选择题，分为单选和不定项，满分100分，60及格，题目不难，我报的数字设计，有几道验证和sv的题目，我不会做，但是算了一下自己会做的，分数肯定超过60分了，20分钟就直接交卷。

性格测试

笔试通过之后会有性格测试，华为的性格测试还是要稍微注意点的，我同学有性格测试没有通过的。我个人经验就是：

- 一定不要前后矛盾
- 建议不要刻意跟着网上的攻略做，大部分题目follow your heart就好
- 但是涉及团队合作以及和抗压能力有关的题目最好跟着公司的喜好来选，你懂得

• 一面

一面时间应该有50分钟左右，基本分为两部分

首先主要是项目，问了有30多分钟。我的项目有全定制的设计，有半定制的后端，还有前端设计的。面试官一开始看了简历又是说我做的后端项目多一些（翻白眼），我就说想做前端设计。然后问题也就围绕项目提问，具体的问题这里不展开讲，因为都是和自己项目具体相关。举几个例子：

- 对于我的全定制设计，面试官会问具体的电路原理图？如何优化的尺寸？面积/功耗有多少提升？
- 对于我前端设计的那个项目，会问数据是如何存储的？计算过程或者数据流是怎样的？
- 对于我后端的项目，会问负责的是哪些工作？遇到的问题，怎么解决的？还主要盯着CTS问了几个问题

但整体看，问题难度都算正常，没有特别刁钻的问题，只要项目是自己实实在在做的，对自己的项目熟悉，这部分问题不大。

最后手撕代码，给我的是一道用状态机的题目，写好共享屏幕给他看。

• 二面

一面面完就立马知道结果，然后就等HR叫你接着二面，中间可能会等几分钟-几十分钟，取决于是否有合适的空闲的面试官。

我的二面很快。先过了一遍简历，然后出了两道题，一道是低功耗技术，关于操作数隔离。另一道是格雷码和二进制转换的问题。

答完面试官说，哦，好了，拜拜。

剩下一脸懵逼的我。。。

• 技术主管面

8.14三面，大约30分钟，面试官挺nice，在华为工作二十多年。

首先自我介绍。

然后问了其中一个项目，问具体负责的哪些工作？团队是怎样分工的？综合的环境是怎么搭建的？STA是怎么样做的？后端和综合的时序约束有哪些区别？以及过程中遇到的问题。

kane

OPPO提前批面试

• 一面

- 自我介绍
- 项目相关问题
- axi apb与 ahb的不同，axi写回应通道为什么独立，AHB可以同时读写么
- 流水线设计优缺点
- 流水线冒险是啥
- RISC-V基本知识，指令集等
- 亚稳态概念，避免方法
- 四发射和单发射的区别
- 状态机，一段两段三段的区别

• 二面

- 很简短，主要是讲项目细节，因为我有一个网卡的验证经历，很细节的讲了如何验证功能正确性，VCS与FPGA验证
- 验证中怎么做压力测试，case如何做到很多
- 聊天，偏向设计岗还是验证岗

寒武纪

一面：

- 讲一下项目中RISC-V相关的内容
- axi, ahb协议的基本知识，axi 中 out-of-order 和 outstanding 的概念
- 常见的分支预测策略
- 论文中的综合面积，用到的策略
- 阿曼达定理
- 异步fifo实现讲一下
- Tomasulo算法讲一下

全志科技

一面：

- 自我介绍3分钟
- 因为是免笔试的，一上来先做了两道选择题，考察了异步fifo和verilog基本语法知识
- 讲一下自己觉得较好的一个项目，在这个项目中的困难，分工情况
- 项目总提到的总线协议，axi apb讲一下
- 用makefile么，讲一下makefile
- 因为讲的项目是网卡驱动验证相关的，所以又问了自己写的verilog代码情况，就顺便把第三个项目说了下（和verilog设计有关）
- 期望薪资以及家庭情况
- 对公司内哪个方向感兴趣，SOC还是偏图像处理
- 反问，问了有2-3轮面试，然后问了全志的产品的一些情况

澜起科技

• 一面

- 自我介绍
- 第一个项目和状态机有关
- 状态机相关，一段二段三段
- 写状态机有什么注意点（这个我真的不知道他想问啥，就扯到了同步复位异步复位），然后就是同步复位异步复位区别，优缺点，后面的问题就都是你扯着扯着扯到一个概念，他就展开让你说这个优缺点，有啥注意的
- axi4中wid为啥去掉了
- 锁存器寄存器区别，优缺点
- 亚稳态讲一下
- fifo讲一下（啥都讲，fifo分类，设计需要注意啥，格雷码优点）
- 代码写了多少行，我说三百行实现了一个算法，不太信，最后还共享屏幕看代码
- 第二个项目硬件安全的，我就不展开说了
- 第三个网卡相关的，细致的讲了讲做了哪些仿真，用什么实现的，verilog怎么写的
- 反问，问了几轮面试，新人培训
- 然后第二个老师开始说话，问我网卡的各种知识，感觉他很懂这个
- 网卡的协议，txd rxd多少位，有效信号咋配合的，dma怎么配合工作的，中断怎么起来，核处理中断的问题，发包送包仿真怎么做的，网卡的phy熟悉么，接口啥的，整个网络报文在硬件上是怎么流向的，软硬件配合之类的，还问了tcpip的知识，我懂的少，就没怎么说
- 还问了既然用了FPGA仿真，FPGA了解多少，时钟管脚约束啥的
- 总之就是老师也没个具体的方向，想到啥问啥，项目让你讲细，好多概念都是讲讲你为啥用这个不用那个，这个和那个的优缺点又是啥，设计注意事项是啥，然后还有什么优缺点么（我就问号脸？？）

雾刀

全志

我基本问的项目,

1. 关于图像中raw到rgb数据转换的算法过程, 在FPGA上怎么实现的
2. 实现过程中的插值算法怎么搞的, line-buffer怎么设计的
3. 如果只有单端口ram, 如何达到双端口设计时的效果
4. 连通域算法在FPGA上如何实现的, 最终项目频率多少, 帧率多少
5. 你是如何去提高频率的
6. 如何降低功耗的, 低功耗的方法有哪些
7. 门控时钟是怎么个写法才能综合时综合为门控时钟, 综合要求门控时钟占比多少合适
8. 低功耗中动态功耗和静态功耗与电压频率的关系, 要求精确到公式级
9. 最后刷了一道简单的选择题

oppo

1. 实习过程介绍, 项目介绍
2. FPGA图像项目介绍, 整体流程
3. 具体某个算法的实现
4. 用了多少资源
5. 用过哪些软件tool
6. 脚本学过什么
7. Makefile中的指令问题
8. axi与ahb总线的问题
9. 人眼为啥只有两个
10. 相机与人眼的区别和能否赶超人眼

注意:找世界一流的人做世界一流的芯片, 这句话应该是他们的文化和价值观

华为

一面

1. FPGA图像处理调试问题, 你觉得你项目中是如何判断正确与否的
2. 用以太网去传输图像数据进行调试, 有什么问题 (和相机速率等不同)
3. 项目里面最难的点在哪里, 怎么解决的
4. 项目中哪部分最有特点, 为什么
5. 写一个同步FIFO

二面

1. 写一个五分频电路, 并解释优缺点
2. 实习项目介绍cache
3. cache有哪些结构, 分别的优缺点是什么
4. 你的cache地址结构是怎么划分的, 你画一下
5. FPGA中你是如何调试的
6. 你碰到过时序的问题吗, 怎么解决的

ARM

CPU岗一面

1. 笔试题是你自己做的吗? 是, 问了3个名词: superscalar、TLB、MESI分别是什么
2. 手撕一个脉冲同步器, 时钟关系不确定, 现场写代码, 为什么这么写
3. cpu中hazard有哪些, 举出三个
4. 数据相关、控制相关、结构相关分别是什么, 为什么导致的, 如何解决的
5. AHB中burst传输开始时, 第一个trans_type是什么
6. AHB支持outstanding和乱序读吗
7. 关联数组和定宽数组的区别
8. 为什么用virtual定义方法, 出了一个定义了virtual方法的父类和子类的问题, 子类句柄指向父类对象时可以直接转换吗, 需要怎么转换
9. coverage里面有哪些, 详细说一下

兆易创新

• MCU一面

30min

项目问的之前面试都要详细，不停打断然后问问题：

1. 延时之后数据怎么存
2. 滤波是怎么实现的
3. 输出不用做什么处理吗？一帧有两场，是怎么输出

出题

1. 一个移位寄存器，然后每输入8位输入一次，输出时en拉高，写代码给他看；
2. 高频滤波去毛刺怎么实现？
3. 一个d触发器，给输入、clk波形，画输出波形
4. $a*b+c*d$乘法累加运算的实现要注意什么；8位乘8位结果是几位；这种运算如果减小面积要怎么做？
5. 异步信号怎么同步；为什么多比特的不能用两级触发器同步？
6. 什么是亚稳态？

• flash一面

45min

让我讲简历上比较熟悉的一个项目，讲的时候没有打断。我讲完之后问题：

1. 你这里面有很多运算，是怎么实现的？
2. 综合和时序分析是你做的，写约束的时候有哪些约束？
3. uncertainty和skew是怎么约束的？（我以为是问我布局前后有什么不同，说完之后又问我为什么布局前设置了0.2ns，为什么不是0.4？有什么依据吗？）
4. 同步复位和异步复位分别是什么？有什么优缺点？异步复位可能会有什么问题？怎么改善？
5. 锁存器和触发器的异同、用法
6. 触发器的内部电路？（我回答想不起来了）
7. 锁存器有没有建立时间保持时间的要求？
8. 如果流水线上触发器建立时间不满足，可以用锁存器替换触发器吗？
9. 如果用锁存器换触发器，在综合的时候，对锁存器要怎么约束？（没答上来，然后教我borrow time，要在有效电平变无效的边沿检查，比触发器超前半个周期）。

然后又是让我问问题，我就一直夸兆易创新好啊.....还有一些薪资水平、福利制度、新人培训等等，之后结束了，让我等hr消息。估计是凉了，锁存器相关的我都不会，全是现场面试官教学.....

• mcu二面

1. 先自我介绍，然后说了项目。
2. 问时序分析相关：时序分析的报告中，路径的起始点和结束点分别是什么？（一时间想不起来，说了三种路径）
让我说触发器到触发器的起点和终点？
3. 芯片有没有速度和面积的要求？（27M，面积没有要求）
4. 27M是很容易就实现了吗？（不知道咋说，简单说了一下input/output刚开始约束了70%，不太满足，后面改成了60%）
5. 说一下跨时钟域是怎么处理的（我先以为是问怎么约束，答了falsepath）
6. 问我在写代码的时候怎么处理跨时钟域，重点问了fifo，我回答了读写指针、读写使能、读写时钟用格雷码判断空满，结果他还是问fifo是怎么跨时钟域处理的？有点不清楚他想问什么。

然后就问我有什么问题，回答了之后让我等通知.....

澜起

1. 主要课程有哪些
2. 介绍简历上的两个项目
3. 问了状态机相关，三段式有哪三段
4. 同步复位异步复位优缺点，问项目里用了啥
5. 第一个项目用了什么工艺（回答:18，因为确实比较穷.....）
6. 亚稳态讲一下
7. 代码写了多少行，想屏幕共享看我代码，不巧我是用手机面试的，回答大概几千行（算上被注释掉的废代码）
8. 写项目的时候，有什么需要特别注意的事情。（回答：一个是模块与模块之间接口关系，一个是写组合逻辑不要太大块，拆分成小块，中间插触发器，不容易时序违例，还说了一个数模混仿的时候出现的问题是怎么修复的）
9. 上一题说到数模混仿，他又问我为什么模拟输出不满足数字这边的时钟，插buffer是为了什么，是不是时钟的问题？
10. 问我DC综合的时候是怎么约束的，问了很多细节，第二个面试官还问了我dc综合里面的库里面的细节
11. 问我asic ram类型，sram的接口、时序（clk/addr/w_en/r_en/data_in/data_out，读数据是下一时刻读出，问我为什么，我答得不好）
12. 第二个面试官问了很多门级的、dc综合相关特别特别细节的东西，好多我不会就只能说不会.....
13. 第二个面试官问设计中有没有两个时钟，约束的时候是怎么办的，又问跨时钟的数据传递，我说单比特打两拍，又问我这个数据在源时钟域有什么需要注意的点，回答必须是触发器输出，又问为什么，回答防止组合逻辑传递毛刺。
14. 问混仿用的工具之类的

之后让我反问，问了培训制度、研究方向，其中一个面试官部门是PCIE，一个是SOC和AI相关。

感觉就是一个小时什么都问了，好多细节的东西，不会的就只能说不会。

复旦微

数字前端设计

感谢 summer_awn 的投稿

电话面试大概20分钟

- 你的项目是模拟电路，为什么投数字的岗位

虽然我的项目是模拟电路，但和常见的那些模拟IP不同，我的研究或者说我们实验室的研究重点是xxx。此外实验室内也有人是做数字电路的，我之前也帮他们写过verilog代码，可以说是有一定的数字电路经验的。

- 简单介绍一下项目

电话面试讲电路可真是太难了

- 用过Verilog吗，有什么数字电路的项目经验

用过，没有项目

- 用过fpga吗

用过，很久以前大二的一门课上用过

- 请问还有什么问题？

可以调岗吗

好了，你们可以笑了

风中的承诺

海光

CPU验证

1. fork join和fork join_none区别
2. driver和monitor用的是上升沿还是下降沿
3. driver和monitor用什么通讯，一定要用tlm吗？
4. 功能覆盖率怎么收集

寒武纪

• 岗位信息

芯片设计岗（媒体类）

• 一面

1. 问了项目，问了一些具体的异步fifo问题
2. 低功耗，我巴拉巴拉了一堆方法，然后打断我，问我时钟门控具体怎么实现的，我说了xxx实现，然后问我你这样是用代码实现是吧，会用很多资源啥的，给我感觉我没答全，除了代码还有什么能实现？
3. 什么情况下产生锁存器，锁存器会有什么影响。
4. 如果你要存放大量数据你打算怎么实现
5. 懂ddr吗，说一下？不懂
6. 懂堆栈吗？堆和栈的区别？我靠着以前的一点微机基础，憋出了一点生长方向和内存地址不同，但其实好像还有很多不同。
7. AHB，没让我介绍，而是问发送了一个请求后，没有数据传回还会继续发送吗？为什么？我答了不能，然后用几个信号状态解释了一波，但是感觉他还不太满意。
8. 内存泄漏懂吗？不懂
9. ahb控制器那个，sram处于low standby的状态怎么实现的，然后让处于这个状态下的sram又工作的话时钟来了是直接工作还是时钟延迟一下再工作，具体咋实现？
10. 问你一些计算机体系结构问题，cache懂吗？我回忆了一下就只记起来是个cpu的高速缓存，其他忘记了。
11. 懂网表吗？不懂

上面问题不分先后顺序，挺乱的，感觉好喜欢问我具体咋实现，有些也不太懂他问这个的想要啥回答。

后端

紫光国芯 数字后端

30分钟，视频

- 自我介绍
- 项目介绍，直接介绍
- 7nm工艺有哪些特点，物理设计需要注意什么
- 芯片面积，频率，门数
- Floorplan怎么做的，为什么
- floorplan做完后做过哪些检查
- 做过哪些模式的STA

（主要项目从65nm到14nm都有，PR工具为ICC2）二面略

英伟达 VLSI PD

38分钟，电话

- 自我介绍
- 项目介绍，边介绍边问
- 机器学习项目：
 1. 面试官比较了解机器学习
 2. 问题是怎么建模的，为什么要这么做，项目的意义是什么
 3. 数据集是怎么建立的，有哪些数据，怎么提取的，为什么选这些数据
 4. 数据集为什么这样处理
 5. 用了什么模型，模型是怎么建立的，激活函数用什么，为什么
 6. 模型性能如何，如何证明
 7. 模型用什么平台完成的
 8. python水平怎么样，除了机器学习还用python做过什么

- PR项目：
 1. 芯片面积，门数，多少层金属
 2. 电源是怎么做的
 3. CTS怎么做的，评价CTS有哪些指标
 4. skew设置了多少，为什么
 5. Clock latency过大有哪些坏处
 6. 做过PV吗
 7. 修过hold吗，怎么修的

寒武纪 后端优招

52分钟，电话

备注：寒武纪按模块分工，每个人负责从coding到PV的全流程，不按步骤分工

- 自我介绍
- 项目介绍，边介绍边问
- 机器学习项目：
 1. 和nv类似，nv问到的都问了，问的更细，需要把项目完全给他讲懂，以上略
 2. 除了存在性预测，数量预测你准备怎么处理
 3. 用过redhawk吗，IR分析流程是怎样的，需要哪些文件
 4. 后续还准备提取哪些参数，为什么，
 - PR项目：
 5. floorplan是怎么做的
 6. place之前做了哪些处理，为什么这样做
 7. 插入了哪些physical cell，为什么
 8. cts是怎么做的，评估指标有哪些
 9. Cts config有哪些，有什么影响
 10. 用到了哪些view
 11. 7nm工艺有哪些特点
 12. 解释一下socv
 13. hold是怎么修的，为什么

大疆 芯片开发

一面

37分钟，电话

- 自我介绍
- 项目介绍，直接介绍
- PR项目：
 1. 介绍芯片基本参数
 2. 详细介绍整个流程，遇到的困难是什么，怎么解决的
 3. floorplan怎么做的，为什么
 4. 如何在route之前做调整，避免route后发生short
 5. 有没有什么高效的方法批量解决上面的问题
 6. 在STA时如何fix setup
- 机器学习项目
 1. 毕设还未完成的部分你打算怎么做
 2. 你要提取哪些参数，为什么
 3. 参数怎么提取的
 4. 讲一讲dbGet命令
 5. 你的脚本能力怎么样
 6. 你项目里一共写了多少行代码
 7. shell如何实现关键字抓取
 8. tcl如何实现关键字抓取
 9. python如何实现关键字抓取
 10. 上海和深圳更想去哪边
 11. 如果华为寒武纪英伟达大疆都给你offer选哪个，为什么
 12. 大疆工作压力比nv大，你选哪个

- (两轮面试, EDA工具为DC innovus calibre redhawk)

• 大疆 二面

25分钟, 视频

- 简单自我介绍
- 项目相关问题
- 了解大疆芯片吗, 介绍一下
- 如果华为寒武纪英伟达大疆都给你offer选哪个, 为什么
- 选择产品公司相对纯芯片公司有哪些好处

晶晨 后端PR

34分钟, 电话

- 介绍项目
- 项目中遇到的困难是什么, 怎么解决的
- 芯片面积, 长宽, 金属层次, 频率
- 电源怎么做的
- 了解DPT吗
- DRC怎么修
- hold产生原因
- hold是怎么修的
- 修hold时clock path和data path优先修哪边
- 介绍毕设
- 投了哪些公司
- 哪里人, 想在哪里工作
- (11nm, 6nm项目, 各类工具都会使用, 面试预计三轮, 人较多时间较久)

栗子塔

复旦微

1. 介绍下你熟悉的项目, ip开发里面综合sdc写了哪写?前端要给后端提交哪些东西?(我说我司综合属于后端, 提交rtl和sdc就好了)
2. 介绍下你的ip验证咋验证的, 验证思路是啥(先验证功能, 集成好之后搭建参考模型随机激励)
3. 面试官说感觉你是个偏软件的人, 介绍下python数据类型, 我介绍了c加加的, 介绍下面向对象的继承。(回答的磕磕绊绊, 还强调了下自己verilog很溜, 会画版图会分析sta, 面试官说这些笔试都考过了啊)
4. 面试官给我介绍硬件的人验证应该是先检查复位, 在检查读写寄存器.....(我司验证是验证部门做, 复旦微是设计验证不分)
5. 聊天, 对mentor的hls软件很有兴趣聊了15分钟。
6. 问了面试官什么算偏硬, 答曰设计的时候得选channel40 还是30, track lvt还是svt。我说综合器都搞了, 时序修不好再用lvt。然后问我看过没看过lib里面的标准单元参数。

海光cpu

1. 给面试官自我介绍, 顺便介绍项目
2. 面试官问我密码算法的公共算子你是怎么抽取的, 就介绍了下密码算法的算子。
3. 给他看了下pe单元算子的架构图。
4. 然后给他看了代码介绍了下。
5. 你还有什么问题, cpu部门怎么划分的。

澜起

数字前端设计

1. 介绍下项目
2. 项目相关:询问crc算法原理, 怎么实现并行运算的。介绍aes算法原理, 怎么提高带宽。

3. apb slave怎么实现的，axi这边怎么搞的。
4. axi outstanding和id是什么关系，我介绍了下outstanding长度限制，乱序交织。
5. axi直接的握手依赖，我先说了总体要求valid不能依赖ready，ready可以依赖valid，介绍了下读通道的顺序。写通道记不清了(协议规定太灵活了)。
6. 说说你对设计验证的理解，两个区别，喜欢设计还是验证。
7. 你有什么问题。

三个面试官问，轮番轰炸，太顶了。问题好多。

校园招聘

芯片（集成电路）

应届生求职

秋招

参加2021集成电路秋招或者暑期实习招聘是一种什么体验？

75 关注 · 0 评论 · 1 万浏览

👍 好问题 5

联芸

技术面

1. 自我介绍（问了一下实习，怎么看teamwork之类的）
2. 项目介绍（比较细，而且我是当面所以画了好多图，解释算法之类的）
3. 因为我说项目用了一些接口，问了一下PCIe和USB接口，为什么能高速？
4. 同步复位异步复位（我回答说同步需要时钟有效沿到来时复位才会有效，然而他却说不是这样，我？？？。他说同步异步，都是复位有效就可以复位）
(严重怀疑他说的同步复位是异步复位同步释放的意思)
5. 项目中的时序有遇到什么问题么？一开始就能跑这么高频率么？怎么解决的？
6. 存储或者总线有没有了解？介绍一下
7. FIFO，不知道是我太菜了还是，感觉他讲的有些地方怪怪的。
8. 为什么没有留在国外工作？以后还考虑回去么？
9. 还有一些基础问题穿插在中间，比如CDC，setup time之类的，还现场出题了。
10. 你有什么要问的（我问了一下项目具体是什么方向的，面试官说压力很大）

HR面

就随便聊聊，为什么考虑留学之类，没几分钟

上述问题没有先后关系，都是想起来就写的。技术面面了一个多小时，之前还笔试了40分钟，HR就几分钟。接下来叫我等主管的线上面。

感觉公司的氛围就是压力很大，但没见到几个人。

汇顶正式批

验证

...

Jeff

• SV相关知识

动态数组，队列的区别。队列有什么方法？删除队列是怎么做的？

介绍一下logic类型，他跟wire，reg有什么区别？有什么优劣？

随机化怎么做？rand，randc，还有怎么做约束？

fork...join, fork...join_any, fork...join_none的介绍，怎么关闭一个子进程？

event怎么用？怎么等待触发？@和wait的区别？

• UVM

介绍一下寄存器模型。RAL中，有哪些内建序列？为什么内建的sequence只有0，5，A，F和random这几种？

RAL是怎么跟driver做互动的？

RAL有两种方式，一种是写一个寄存器就读一个，另一种是全部写完再读，那种比较好？为什么？

RAL中，如果set了，然后总线上一直get不到transaction，是什么导致的？怎么解决？

phase机制有哪些？哪些是task，哪些是function？

interface怎么传递？config_db在哪里set，在哪里get？

• 通识

验证的主要工作是哪些？

功能仿真跟后仿真有什么区别？

为什么想做验证？

对网表的了解

脚本用什么写的？正则表达式的相关内容

还问了实习的一些工作

...

leeelix

• 项目：(MCDF)

1. 介绍一下项目
2. 是验证的某个模块还是子系统
3. MCDF有哪些部分
4. 寄存器模型种有哪些变量(端口？没太听清楚)
5. Chnl的agent怎么构建的。有几个sequence。三个sequence信号传输是不是同时传输。三个sequence合并成一个的话，里面的代码该怎么写。
6. Soreboard和monitor怎么通信（好像是这么问的，不太记得了）
7. DUT和验证模块是通过什么连接的(interface)，interface里面有什么。如果不用logic，进行双向传输的改用什么？(wire，当时说reg在verilog种类类似于触发器，触发器不可双向传输)

• 基础题：

1. 介绍一下fork join。有哪几种。如何停止fork join。如果要停止fork join中的某一个具体的线程该怎么做。
2. Event知道吗？介绍一下Event。Event的作用域。
3. 用过随机化函数吗，说一下有哪些。
4. UVM学习过吗？UVM的各个组件和大框架说一下。
5. UVM寄存器模型知道吗？(这个我不会，他也没再问)
6. 如果把SV改造成UVM的话，应该如何改造。(因为我说的MCDF是用SV写的，不是UVM)
7. UVM的phase机制介绍一下。Phase中一般常用的是哪些。Build_phase和connect_phase作用。Build_phase和connect_phase是自顶而下还是自底而上？介绍一下为什么是这样的。
8. 验证的流程

...

投稿人: 龟龟

个人情况，非科班转行IC验证，年初开始学习sv，uvm，两个项目经历。

• 一面

1. 自我介绍
2. uvm compent object讲一下
3. 寄存器模型前门访问后门访问
4. 前门访问详细的流程
5. 后门访问的使用方法
6. virtual function
7. 综合是什么
8. 怎么综合出组合逻辑, 时序逻辑, latch, dff
9. 跨时钟域怎么处理
10. 多bit信号能不能直接打两拍
11. 讲一个最熟悉的项目, 详细介绍验证环境结构
12. 测试点怎么分解的
13. test case怎么写
14. driver直接发送激励给scoreboard行不行
15. sequence发完最后一个事务后直接结束行不行
16. set drain time是什么
17. 项目怎么考察验证的完备性
18. 覆盖率怎么收集, 用的什么eda工具, 哪个指令, 生成的文件格式是什么
19. 多个覆盖率文件怎么合并
20. makefile的目标与依赖, 执行过程是怎样的
21. makefile时间戳的概念
22. uvm, Verilog学了多久

• 二面

1. 自我介绍
2. 优点缺点
3. 怎么弥补缺点
4. 怎么看待加班
5. 想拥有的专业技能是什么
6. 那之前为什么不去掌握这个技能
7. 最近一次失误导致承担责任的事情
8. 项目里和别人怎么合作
9. 怎么提升合作效率
10. 期望工作地点
11. 对汇顶的了解
12. 重复性高的工作怎么面对
13. 为什么转行
14. 怎么弥补与科班同学差距
15. 有没有其他公司offer
16. 你对验证岗位的了解
17. 未来职业规划
18. 项目的收获
19. 想来汇顶吗, 给你offer你会来吗

• 三面

1. 自我介绍
2. 项目中发现的第一个bug
3. 想要拥有的专业技能是什么
4. 怎么调节加班状态
5. 职业规划
6. 怎么和设计人员合作
7. 对未来主管, 导师有什么期待
8. 对汇顶了解多少

反问

1. 工作强度
2. 上海业务
3. 培训制度
4. 我的面试表现

一面——技术面(60mins)

1. 自我介绍
2. AXI有没有实现out of order 和 outstanding?
3. AXI有没有实现背靠背?
4. 介绍一下FIXED, INCR和WRAP传输?
5. WRAP模式下首地址为4, burst length=4, burst size=4 bytes 的地址变化?
6. AXI有哪五个通道?
7. 是否了解SPI和AHB?
8. 并发断言检查了哪些时序?
9. 简历中说使用了SV和UVM搭建验证环境, 用到了哪些SV功能?
10. UVM环境是如何搭建的?
11. scoreboard是如何写的? 怎么比较读写数据包?
12. UVM组件是如何通信的?
13. 除了TLM通信还有哪些组件通信方式? (config_db)
14. SV中有哪些线程间通信方式?
15. semaphore和mailbox有何差别?
16. 在UVM和SV中如何实现一个FIFO?
17. 请问你有什么问题要问?

二面——HR面(20mins)

1. 你之前的简历申报中写: 平台>技术>新人培训, 能否阐释一下?
2. 为什么说汇顶是个好平台?
3. 你是通过什么渠道了解到汇顶的?
4. 如果阿里给你Offer你会选择去么?
5. 说一下你研究生阶段导师和同学对你的评价?
6. 说一下从本科到现在遇到的困难以及如何解决的?
7. 有什么专业能力以外的兴趣爱好? 看书
8. 最近读了什么书? 心理学, 春秋战国, 《动物凶猛》
9. 讲一下你最印象深刻的书, 并从书中学到了什么?
10. 你是独生子?
11. 你还想问些什么?

三面——综合面(20mins)

1. 简单介绍一下你自己
2. 说说你实习期间做了什么?
3. 介绍一个设计中遇到的Bug? 1 byte读写时Wlast信号拉高
4. 为什么选择验证而不是设计?
5. 进公司以后你希望你的主管和导师具备什么样的品质?
6. 你对工作以后三到五年是如何规划的?
7. 你对汇顶有哪些了解?
8. 你想问我什么问题?

long

技术面

• 基础知识

1. fork join哪几种, 区别 怎么关闭fork进程 和等待进程
2. UVM常见的通信方式
3. sv常用的通信方式 旗语怎么用 抱歉我不会用 就看过书
4. config_db怎么用
5. tlm有些什么端口, 你的项目中怎么用的
6. 断言会不会 我就会一些简单的。。。那就说说你用过什么断言吧
7. 覆盖率怎么写的 你是怎么收集覆盖率的
8. 寄存器模型会吗 讲一下

9. 用过哪些接口 讲一下时序
10. Fifo怎么用sv来实现
11. 讲一下phase机制

• 项目

1. ahb接口说一下 问得比较细 每个信号有哪些都说了
2. 你用过svtb平台是的吧 说下在你的项目中和UVM平台有什么不同
3. 你报过培训班吗 没
4. 讲一下你的验证环境的搭建
5. 怎么实现循环跑同一个测试用例
6. 你说用过fpga, 什么项目 讲一下怎么实现的

反问 汇报做些什么

Hr面

1. 项目都是自学的 原因--做器件的
2. 工作地点 老家在哪 挺近的
3. 为什么保研选了个器件的导师
4. 为什么选择突然选择做数字验证

设计

...

阿塔

• 技术面

1. 为什么要解决亚稳态, 或者说亚稳态有什么危害, 举个例子
2. 对异步FIFO的结构做一个介绍
3. 对AXI总线的一个了解
4. 对hold violation的一个理解
5. DMA模块什么时候会进行一个数据的有效传输, 是打包模块产生的一个数据有效使能信号嘛
6. 为什么选择CIC, 他和FIR比各自有什么特点

• HR面

1. 介绍一下自己
2. 团队协作的一个例子
3. 目前为止比较有挫败感的一件事
4. 拿到了哪些offer, 是怎么考虑的

• 主管面

1. 介绍一下自己结合一些事情讲一下自己的优点
2. 个人职业规划
3. 你想做系统架构师还是精通于某一方面得
4. 你对你投递的一些公司是怎么看的

...

磊小宝

• 技术面:

1. 讲项目 (SPI时序, IIS 时序, 乒乓操作, CPU内部结构, 不同指令的数据通路如何控制)
2. 单比特信号异步; 多比特信号异步;
3. FIFO全家桶 (空满判断, 为什么要Gray码, 使用了Gray码以后对FIFO深度有要求吗, 如果FIFO想一次读写都是2个bit怎么办?)
4. module名字和文件名字不一致可以吗;
5. 怎么写verilog能综合成D触发器, 如果verilog里加了一句if (a) q <= D会综合出什么东西;

• HR面

1. 家里情况介绍一下，兴趣爱好，想在哪里工作，我提了一句英语好。。。。。
2. 有几个offer

• 主管面

1. 前15分钟用英语和我讲话，让我英文自我介绍，让我用英语概括项目，

不准讲项目细节，依次把所有项目讲出来；

1. 后15分钟改中文，问我
2. ASIC和数字芯片设计啥区别？这问题挺迷的，我回答ASIC可能会全定制，他就说ASIC只能全定制吗？我说ASIC也能用verilog做，继续问那不是和数字芯片一样了吗？
3. 我有模拟的项目，让我比较一下PLL和环形振荡器？他可能不太懂，其实环形振荡器是PLL的组成部分，还让我比较两个的优劣
4. 我有个PCB的项目，他问我PCB和ASIC啥区别，这有啥问题啊
5. 问了我SPI 接口支持 1对多吗；是支持的，我答错了；
6. 问我硕士阶段都主要做了啥，发了啥论文；
7. 手里几个offer，为什么选择汇顶；
8. 如果你是面试官，评价一下面试的表现，说一下自己的优点和缺点；

菜圣

1. 面试官尝试理解你做的项目
2. 项目时间安排(给定你10天时间，怎么把自己的时间规划好)
3. 单bit信号从慢时钟域到快时钟域有什么方法
4. 为什么打两拍可以处理亚稳态
5. 异步复位，同步释放
6. 后端怎么修复hold
7. 数字IC关注什么工艺角(这个主要是从我项目引上来的)
8. 你有做过类似的数字项目或者课设吗？(主要是我项目很拉闸，和数字不太相关)

好好学习

1. 项目介绍完，看有用到SPI，问SPI有几种工作模式 (00 01 11 10) 。
2. 项目中某个模块中是如何实现跨时钟 (异步FIFO)
3. 介绍一下异步FIFO的原理以及内部如何实现跨时钟域
4. 问了项目中FIFO使用的深度
5. 问了项目中eMMC控制器是自己写的吗，使用的是什么模式 (自己写的，慢速sdr)
6. 这个时钟约束是怎么做的 (整个实验室都不做，没做过)
7. 不做时钟约束你是保证设计的完备性 (自动综合，上板测试正确)
8. 那你学习过相关知识吗，介绍一下 (setup time,hold time, 四种路径, input_delay output_delay, 重点对输入到寄存器，寄存器到输出做约束)
9. 项目里还用到哪些跨时钟域的方法 (打拍，握手)
10. 问了perl，怎么读取文件，怎么操作，什么是钻石操作符 (都忘了，被问惨了)
11. 看我第一个项目挺多的，让我再着重介绍一下内容。

小白

1. 问了问方向的项目聊了15分钟柔性压力传感器的。
2. 问我垮异步时钟的之间的频率差，
3. 有没有考虑用AHB不用AXI
4. AXI总线有没有考虑不用burst
5. 你做项目遇到的困难
6. 为啥垮研究方向找工作
7. 为啥先来成都

CXG

一面

首先问了一些基础的问题：

1. 如果芯片已经生产出来，发现setup time或者hold time有违例，怎么办？能补救吗？
2. 什么是同步时钟和异步时钟？
3. 为什么一般的设计都是同步设计？同步电路和异步电路的优缺点？
4. 然后开始看简历，逐一问问题，自己展开介绍项目的背景意义和亮点

最后又转回对专业知识的提问：

1. 低功耗的技术有哪些？
2. 脚本写得怎么样？Python咋样？
3. 如果有一段突发数据，需要将其转为稳定的数据流，怎么做？
4. 你认为自己的优势和亮点在哪些方面？

反问

1. 提前批没有招聘设计人员，是出于什么考虑？不需要吗？
2. 汇顶目前的绝大部分营收都来自指纹识别模块，有产品单一的风险，以后的业务发展方向和未来规划？

二面

HR面试

首先自我介绍，然后问了几个简单问题：

1. 介绍家庭情况
2. 工作地点的选择
3. 介绍一个项目，分工和团队合作
4. 对自己的人生规划
5. 选择公司考虑的因素
6. 扯到华为、大疆、汇顶的看法
7. 然后给我介绍汇顶最近的收购，公司业务发展，财报，研发支出的增长。

我反问了汇顶在国内三个城市（深圳，上海，成都）的布局情况

三面

1. 首先自我介绍
2. 然后问项目，遇到的问题，怎么解决
3. 介绍个人职业规划，想做设计还是综合/DFT/后端
4. 对汇顶的了解，对国内IC公司排名

紫光展锐

John

1. 先自我介绍，
2. 讲一个自己熟悉的项目，讲了实习做的一个ip的验证
3. 问了下axi的优点是什么，与别的amba总线的区别。
4. 为什么写操作需要三个通道，然后讨论了半天axi4又没有wid的问题。
5. performance你是如何验证的
6. 有几个offer了，怎么选
7. 如何看待加班，你认为工作进度完成就能下班了吗
8. 你为什么来展锐，而不去外企

Q:

1. 展锐对应届生的要求是怎样的
2. 展锐的培训机制

结束后给了offer，但后面还有面试流程

商汤科技

XD

一面

1. 异步FIFO;
2. 建立时间与保持时间的概念;
3. 所做项目的整体架构;
4. 项目某一部分的具体实现方式 (涉密就不说啦);
5. 低功耗的方法;
6. 对于Python掌握多少;
7. 你认为芯片设计与FPGA主要的区别在哪里?

整体而言, 对项目问得比较多。

二面

二面总体面试的感觉不是很好, 因为总听不到对方在说话

1. 建立时间与保持时间的形成原因;
2. AXI4;
3. 对我的学习经历提出疑问 (因为不是电子专业的);
4. 为什么想来上海?

寒武纪

数字芯片设计工程师 (逻辑设计/SOC设计)

一面

1. 介绍项目, 主要有哪些模块
2. 芯片怎么和fpga传数据的, 用到了什么接口
3. 跨时钟域有哪些方法 (单bit, 多bit)
4. 为什么要两级寄存器同步
5. 异步fifo有哪些注意点
6. 逻辑综合用到了哪些文件输入
7. sdc文件包括了哪些约束
8. 如何理解input和output delay
9. 如何理解multicycle path
10. 知不知道set_clock_uncertainty由哪些组成
11. 你有什么问我的?

AMD

江湖

一面——移动端GPU IP level验证

1. 什么是工厂机制?
2. 什么是phase机制?
3. object和component区别?
4. 为什么要用virtual sequence?
5. 知不知道virtual function?
6. 什么是覆盖方法? 如何使用?
7. 想做block level .IP level 还是SOC level?
8. AXI几个通道?
9. 你想问什么问题?

一面——PC端GPU IPlevel验证和设计

1. 自学的Verilog?
2. 本科和研究生接触过哪些数字电路的课程?
3. 有没有学过C, C++?
4. 拿到阿里Offer以后不会只想来拿个Offer吧?
5. Testcase有哪些?
6. linux中如何根据关键字查找本文件夹和子文件夹中的文件?
7. 你学习能力应该很强吧? (什么特么问题?)

面试官介绍了自己部门和之前移动端GPU IP验证组的差别, 简单讲就是自己组做的是微软和索尼的游戏机GPU; 做的是module和子系统级验证; 部门有设计和验证共100多人, 其中60-70%是验证人员。

海康

江湖

一面——项目面(15mins)

1. 自我介绍一下
2. 你不是科班的, 为进入设计验证岗做了哪些准备?
3. 如果平头哥给你Offer, 你选择哪里?
4. UVM相比于SV有哪些优势?
5. AXI项目中用到了哪些UVM功能? 工厂机制
6. 域的自动化
7. TLM通信
8. 随机化和回调函数
9. Virtual Sequence和Virtual Sequencer
10. config机制
11. Phase机制
12. 为什么选择海康威视? 地域
13. 成熟度
14. 技术平台
15. 室友推荐
16. 你想问我哪些问题? 校招总共几面? 三面
17. 入职IC验证后有哪些方向? 图像识别, 处理器, 人工智能
18. 前端验证组有多少人? 近20人

一面补面——技术面(15mins)

1. 技术部的同事说你想去验证岗, 所以找我来加面你
2. 为什么想学验证而不是设计?
3. 说说你对验证的了解? SV是Verilog3.0, 拥有更为先进的语言特性
4. UVM是由SV进化而来的组件化验证平台, 集成度, 兼容性和可迁移性更强
5. 验证基于软件环境, 知识更新速度更快, 有新鲜感
6. 谈谈你在平头哥所做的项目
7. DUT和TB环境都是由你一个人搭建的?
8. UVM中的Phase机制是什么? 你知道有哪些Phase?
9. 什么时候要Drop objection?
10. 有什么问题想问我的? 面试流程? 三轮面试。第一轮电话面, 第二轮现场技术面, 第三轮HR面

苹果

沙包绍

1. 首先就是问了我之前高通实习做的是是什么
2. 是怎么进行我简历中提到的clock-gating 优化
3. 说他们组是做cache的, 问我知不知道cache
4. 假设有一个模块, 做 $out = a + 0.5b + 0.75c$ 的运算, 结果是四舍五入后的值, 你会去怎么设计
5. 64 bit bus downsize to 16 bit bus

