

2020 秋招 复旦微笔试题 (回忆版)

1. 自己从事研发的优势
2. bus 解释和罗列几个例子
3. 形式验证解释和作用
4. cmos 画逻辑电路 $ab+!c$
5. assign out = cnt[2:0]! == 3'b010 电路实现
6. rom 实现以下 verilog 代码
always@(posedge clk)begin
if(a&& b) q<=1'b0;
else q<=~q;
end
7. 修改优化时钟切换电路 电路图+代码
(即 glitch free 电路实现)
8. AHB lite 看时序实现 该总线外挂 32 位寄存器读写操作 verilog
9. 状态机 实现每 32 个时钟周期采样 A[3:0] 输入端数据, 判断, 如果 $A > 11, 5$ 位寄存器 B 减一, 如果 $A < 8$, B 加一, 加到 5'b11111 为止。
10. 黑盒验证写激励
11. fpga cpld 由两个四输入函数发生器和一个三输入函数发生器还有三个 4 选 1mux 和三个 2 选 1mux 构成
 - 1) 如何实现 5 输入函数发生器?
 - 2) 最多可实现几输入?
 - 3) 可实现 6 输入函数发生器吗?