

智力题

1、某粮库里有三堆袋装大米。已知第一堆有 303 袋大米，第二堆有全部大米袋数的五分之一，第三堆有全部大米袋数的七分之若干。问粮库里共有多少袋大米？()

- A 2585 B 3535 C 3825 D 4115

2、1, 2, 7, 20, 61, 182, ()。

- A 486 B 268 C 547 D 374

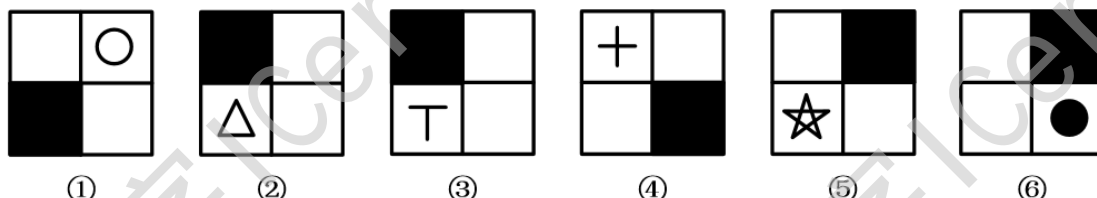
3、人民路小学三、四、五年级的同学乘汽车去春游。如果每车坐 45 人，有 10 人不能坐车；如果每车多坐 5 人，又多出 1 辆汽车，一共有多少辆汽车？有多少名同学去春游？()。

- A 12 辆汽车，550 名同学 B 11 辆汽车，450 名同学
C 10 两汽车，450 名同学 D 13 辆汽车，550 名同学

4、119, 83, 36, 47, ()。

- A 37 B -37 C -11 D 11

5、把下面六个图形分为两类，使每一类图形都有各自的共同特征或规律，分类正确的是一项是()。



- A ①②③, ④⑤⑥ B ①③⑤, ②④⑥ C ①④⑥, ②③⑤ D ①④⑤, ②③⑥

6、0, 0, 6, 24, 60, 120, ()。

- A 210 B 180 C 196 D 216

7、小王步行的速度比跑步慢 50%，跑步的速度比骑车慢 50%。如果他骑车从 A 城去 B 城，再步行返回 A 城共需要 2 小时。问小王跑步从 A 城到 B 城需要多少分钟？()。

- A 60 B 56 C 45 D 48

8、在毕业考试结束后，班长想从老师那里打听成绩。班长说：“老师，这次考试不太难，估计我们班同学的成绩都在 70 分以上(含 70 分)吧。”老师说：“你的前半句话不错，后半句话不对。”根据老师的意思，下列哪项必为事实？()。

- A 如果以 70 分为及格，肯定有的同学的成绩不及格
B 多数同学的成绩在 70 分以上(含 70 分)，少数同学的成绩在 70 分以下
C 少数同学的成绩在 70 分以上(含 70 分)，多数同学的成绩在 70 分以下
D 有的同学的成绩在 70 分以上(含 70 分)，有的同学的成绩在 70 分以下

9、某次学术会议的主办方发出会议通知：只有论文通过审核才能收到会议主办方发出的邀请函，本次学术会议只欢迎持有主办方邀请函的科研院所的学者参加。根据以上通知，可以得出以下哪项？()。

- A 论文通过审核并持有主办方邀请函的学者，本次学术会议都欢迎其参加。
B 有些论文通过审核但未持有主办方邀请函的学者，本次学术会议欢迎其参加。
C 论文通过审核的学者都可以参加本次学术会议。
D 本次学术会议不欢迎论文没有通过审核的学者参加。

E 论文通过审核的学者有些不能参加本次学术会议。

10、甲、乙、丙、丁、戊和己等 6 人围坐在一张正六边形的小桌前，每边各坐一人。已知：

(1) 甲与乙正面相对

(2) 丙与丁不相邻，也不正面相对。

如果乙与己不相邻，则以下哪一项为真？()。

A 甲与丁相邻

B 戊与乙相邻

C 如果丙与戊不相邻，则丙与己相邻

D 己与乙正面相对

E 如果甲与戊相邻，则丁与己正面相对

判断题

1、如果 DFF 的 hold 时间不满足，通常可以通过降低时钟运行速度来解决()

A 是 B 不是

2、DFF 的 setup 时间是根据 DFF 与 DFF 之间的时序路径分析出来的，把时钟变慢可以有效增加 DFF 的 setup 时间()

A 是 B 不是

3、数字电路设计中竞争和冒险会带来电路上的毛刺，需要加入 RC 滤波电路滤除()

A 是 B 不是

4、异步 reset 信号因为和时钟是异步的，因此不需要加时序约束()

A 是 B 不是

5、时钟域 A 的多 bit 信号不一定要经过同步才能被时钟域 B 采用；()

A 是 B 不是

不定项选择

1、电迁移通常是指在电场作用下使金属离子发生迁移的现象。如下影响电迁移率的因素有：()

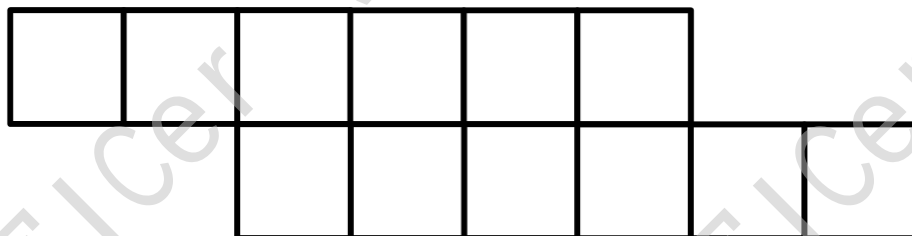
A 电流密度

B 温度

C 芯片面积

D 晶体结构

2、假设如下每个小方块铝薄片的电阻为 1 欧姆，请问如下图形的铝片的电阻为：()



A 8

B 12

C 10

D 6

3、1A 表示()

A 10^{-10}m

B 10^{-9}m

C 10^{-11}m

D 10^{-8}m

4、有一个读端口和一个写端口的 memory 类型为: ()

- A one port RAM B ROM C dual port RAM D two port RAM

5、如下会影响 IC 制造良率的是: ()

- A 工艺 B 布局布线 C 温度 D 芯片面积

6、新的 techonology node 边长大约是之前的多少%来达到面积缩小一半? ()

- A 60% B 70% C 50% D 80%

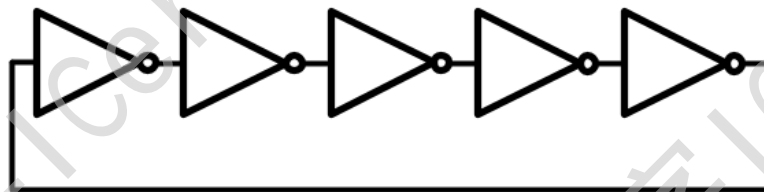
7、对电路的工作速度不是主要影响因素的是: ()

- A 封装方式 B 制造工艺 C 温度 D 工作电压

8、选出和如下表达式相等的项, $Y = AB + AC + BC + CD$ ()

- A $Y = A + C + D$ B $Y = A + \bar{C} \cdot \bar{D}$ C $Y = \bar{A} \bar{B} + C + D$ D $Y = \bar{A} \bar{B} + \bar{C} \bar{D}$

9、如下环形振荡器, 假设每个反相器的传输延迟都为 $T_{PLH}=0.05\text{ns}$, $T_{PHL}=0.15\text{ns}$, 则振荡器的周期 T 为多少? ()



- A 1ns B 0.25ns C 0.75ns D 0.5ns

10、一个 RAM 的大小为 520*8bit, 其地址需要多少位? ()

- A 9 B 8 C 11 D 10

11、如下哪个是 CMOS 电路的动态功耗公式 (其中 C_L 表示输出负载, 表示电路工作频率) ()

- A $P_d = 1/2 * C_L * V_{DD} * f$ B $P_d = C_L * V_{DD} * f$
C $P_d = C_L * V_{DD} * V_{DD} * f$ D $P_d = 1/2 * C_L * V_{DD} * V_{DD} * f$

12、以下总线中不是串行总线的是()

- A SDIO B SPI C IIS D AHB

13、运算 assign SUM=a[7:0]+b[7:0]+c[7:0]+d[7:0]+e[8:0], 为了 SUM 没有溢出, SUM 的位宽最小为多少()

- A 10 B 11 C 12 D 13

14、芯片所讲的 PPA 是指: ()

- A Patient, Pattern, Association B Profession, Production, Activation
C Performance, Power, Area D Plenty, Pigs, Animal

15、芯片测试一般包含: ()

- A 工艺测试 (线上参数测试) B 晶圆测试 (CP 测试)

C 终测 (FT 测试)

D 功耗测试

16、如下哪种工作条件下, 功耗最大()

A 电压 1.0V, 温度 85°C

B 电压 0.9V, 温度 0°C

C 电压 1.0V, 温度 0°C

D 电压 0.9V, 温度 85°C

17、用以下哪个指令可以实现设置文件“tes”以及其下面的所有文件权限为 Use 自己可读可写可执行, Group 和 Other 设定为仅仅可读()

A chmod 755 test

B chmod -R 755 test

C chomd 744 test

D chmod -R 744 test

18、以下说法错误的是: ()

A $4'b1111 \& 4'b00x0$ 的结果为 1

B 设计中不要使用“===”运算

C $4'b1011$ 的运算结果为 1-bit

D |运算的优先级高于&

19、对于一个芯片而言, 如下哪些参数的值越高越好: ()

A MTBF

B AET pattern count

C Fault coverage

D Yield

20、在 Verilog 中, 关于 task 和 function 描述正确的是()

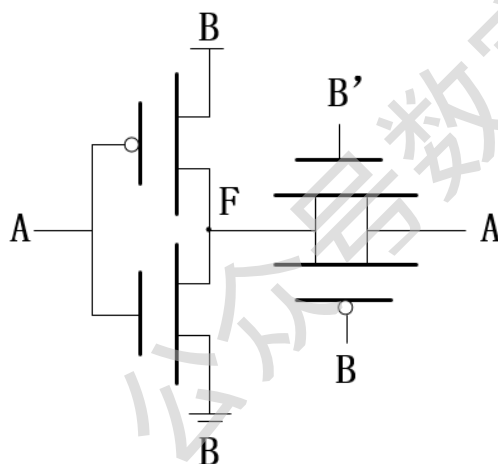
A task 可以有时间延迟, function 不可以

B function 可以有时间延迟, task 不可以

C task 和 function 都不可以有时间延迟

D task 和 function 都可以有时间延迟

21、如下电路的逻辑功能为: ()



A $F=A \oplus B$

B $F=(A \oplus B)'$

C $F=(A+B)'$

D $F=(A \cdot B)'$

22、对于有符号的 4 位二进制数运算 0101+1000, 其十进制结果为()

A 12

B -3

C 13

D -4

22、对于 timing check, 说法错误的是()

A hold time 可以是负数

B 用 \$setphold 可以检查 setup 和 hold time

C setup time 不可以是负数

D hold time 表示时钟有效沿到来之前多久, 数据 data 就需要保持稳定的时间

24、如下逻辑门可以表示任何的布尔表达式的是: ()

A XOR

B NOR

C AND

D NAND

25、如下代码中，OUT 的延迟为多少？（ ）

```
timescale 10ns/1ns
```

```
assign #3.141 OUT=IN;
```

A 3.141ns B 3.1ns C 31ns D 3ns

问答题

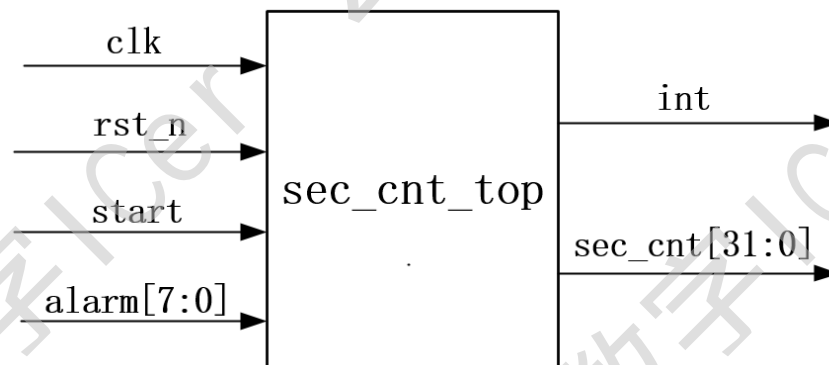
1、请用 Verilog RTL 描述如下图设计：以 clk 为基准，设计一个秒计数器，在指定的计数值产生中断，实时输出当前的秒数计数值。

<1>clk 是时钟输入，频率为 32.768KHz。

<2>rst_n 是异步复位输入，低电平有效，复位整个系统，为高则整个系统开始工作，其上升沿已经同步于 clk。

<3>start 是启动信号，一个 clk 时钟周期的正脉冲，同步于 clk。alarm[7:0] 是配置信息，单位为秒，同步于 clk。

<4>工作模式：收到 start 后，秒计数器 sec_cnt 从零开始以秒为单位来计数，计数到 alarm[7:0] 指定的数值时，产生一个 int pluse（时钟周期的正脉冲），秒数计数器回零并停止。



2、锁存器（latch）和触发器（flip-flop）的概念和区别？为什么多用 register。行为级描述中 latch 如何产生的？

3、设计一个电路，把 A clock domain 的一个单周期脉冲同步到 B clock domain，在 B domain 也为一个单周期脉冲（A、B 是异步 clock，且时钟周期关系不确定），画出电路图。

4、图中电路共有三种器件：MUX，BUFFER，DFF，请分析并回答问题。

假设各电路的传出延时为：

T_{VIN} : max delay: 8ns; min delay: 4ns

T_{BUF} : max delay: 2ns; min delay: 1ns

T_{MUX} : max delay: 3ns; min delay: 1ns

DFF:

T_{clk-Q} : max delay: 4ns; min delay: 1ns

T_{SETUP} : 4ns; T_{HOLD} : 1.5ns

(1) 请问本电路是否存在 hold time 问题？如果有，请修改电路在不影响功能的前提下 fix hold time 问题。

(2) 请指出本电路 setup time 的关键路径，并求最高工作频率是多少？

