

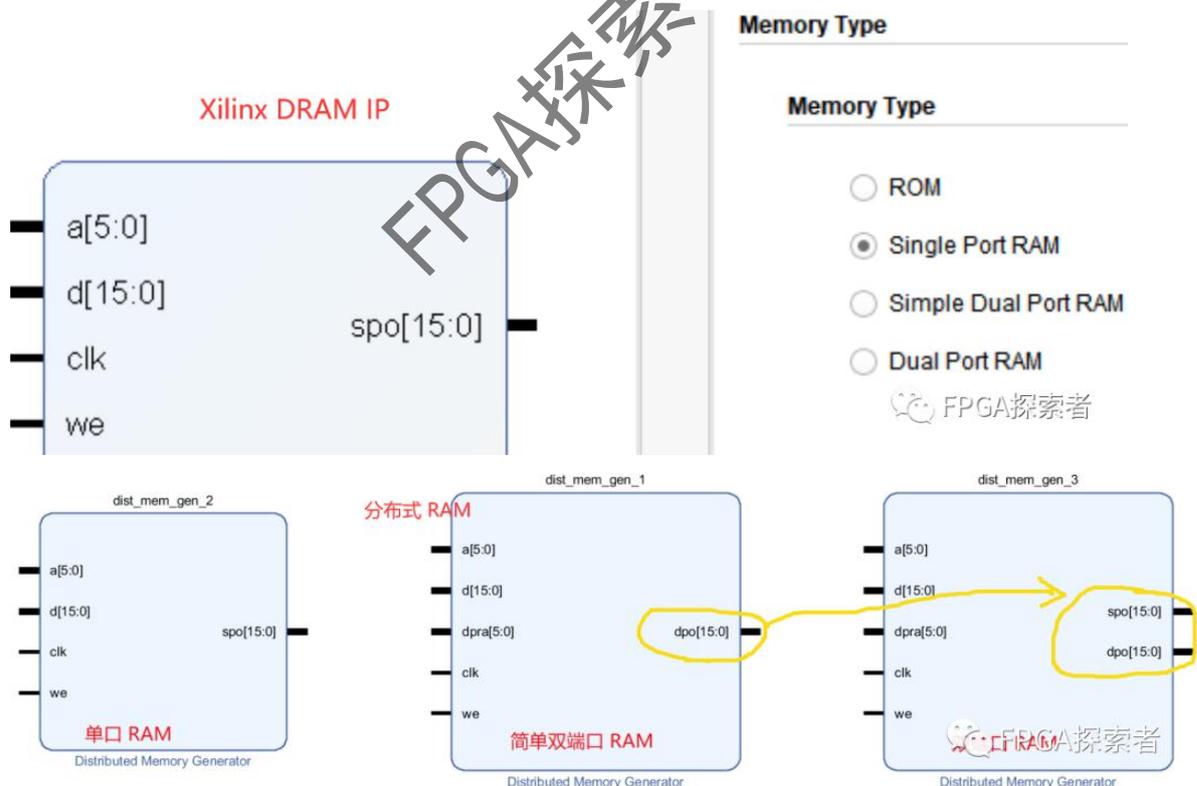
【华为 2021 秋招】FPGA 逻辑笔试解析【独家】【数字 IC】【FPGA 逻辑】【2021 届秋招】

2021 届的秋招试题，2020 年 8 月的题目。目前应该是独一份，存到现在了。

修改如下：

2 题，答案没问题，对 B 的解析写错了，分布式 RAM 不能配置成真双端口 RAM。支持简单双口和双口，不支持真双口。

参考：Xilinx 的分布式 RAM 和块 RAM——单口、双口、简单双口、真双口的区别 <https://mp.weixin.qq.com/s/QeN2CH4ajqwiRFYemc2Ng>



知乎/公众号：FPGA 探索者

13 题，答案没问题，对 D 的解析写的手滑了，应该是 C 中可能出现 1->0->1 的毛刺，D 虽然输出有变化，但是延时不会带来毛刺，只是 1->0 的 1 持续时间更长一些，输出的 1 持续时间更长。（具体可以自己画图）

【竞争冒险问题】<https://zhuanlan.zhihu.com/p/356176536>

18 题，C 改为 D；

20 题，B 改为 A；



1. 在 Verlog HDL 中对于 initial 语句，说法错误的是（ ）

- A. 在仿真过程中只执行一次
- B. 可用于给实际电路赋初值
- C. 在模拟的 0 时刻开始执行
- D. 多个 initial 块并行执行

答案：B

解析：

`initial` 用于 TestBench 仿真赋值，无法用于实际电路赋值。

多个 `initial` 块在 0 时刻开始并行执行，只执行 1 次，且各自独立。

多个 `always` 多次执行。

此处需要说明：

对于 FPGA，有些编译器是能够综合 `initial` 的，且在 `initial` 中给寄存器赋的初值，确实能够在实际电路中工作，下载到 FPGA 上是对的。对于 ASIC 设计中，`initial` 不可综合。所以这里还是选了 B，但是存疑。

Xilinx 有的例程就是给的这种赋初值的方式，我自己写代码试了一下，确实能够综合并且布局布线。

以下是 Xilinx 的工程师给的答案：



viviany
Xilinx Employee

修改时间 03-12-2019 10:29 AM

656 次查看

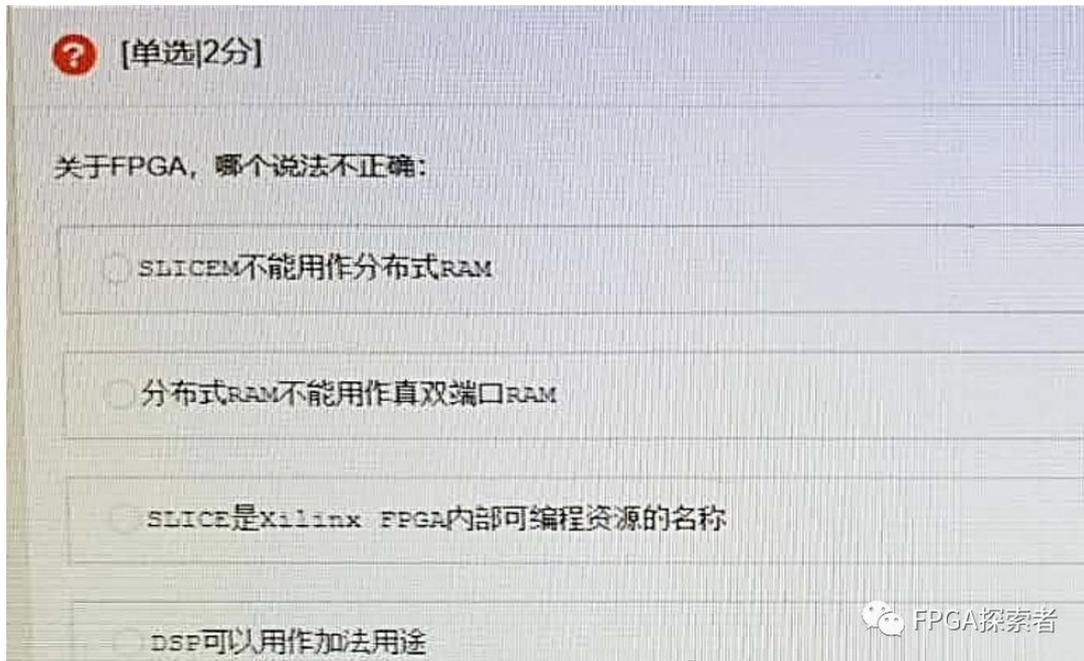
注册日期： 05-15-2008

`initial`可以综合，但不是`initial`里所有语句都能综合的

应该说是，`initial`里的可综合语句是支持的

比如楼上提到的用`initial`语句来给寄存器赋初值

2. 关于 FPGA，哪个说法不正确？【Slice】【分布式 RAM】【DSP】



答案：A

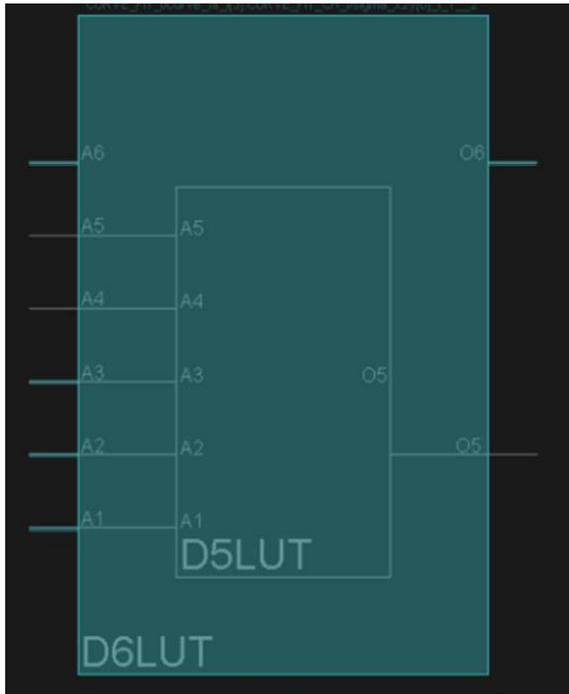
解析：

A: Xilinx 的 7 系列 FPGA 内部有 **CLB 可编程配置块** (Configuration Logic Block)，每个 CLB 里有 2 个 Slice。Slice 有 2 种，一种是 SliceL (Logic 逻辑)，一种是 SliceM (Memory 存储)，SliceM 相比 SliceL 多出的功能在于可以配置成 Distribute RAM (分布式 RAM)。

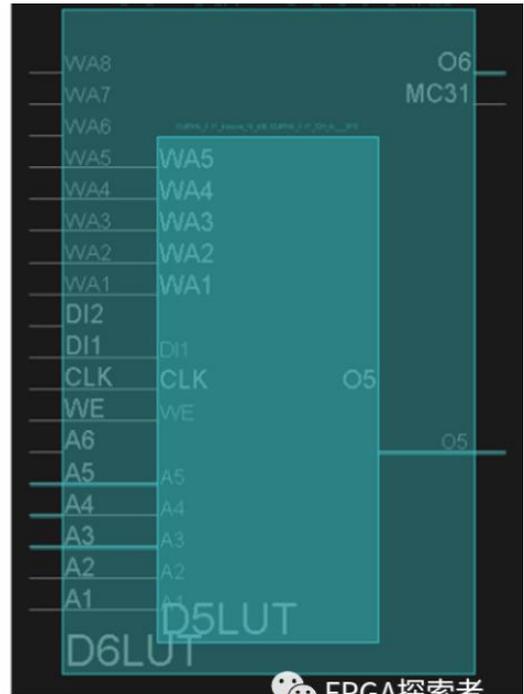
B: 分布式 RAM 可以配置成简单双口和双端口 RAM，不能配置成真双端口 RAM；

C: 在前面提到，Slice 是 FPGA 内部的可编程资源；

D: DSP 主要是用于乘法、除法和快速加法；



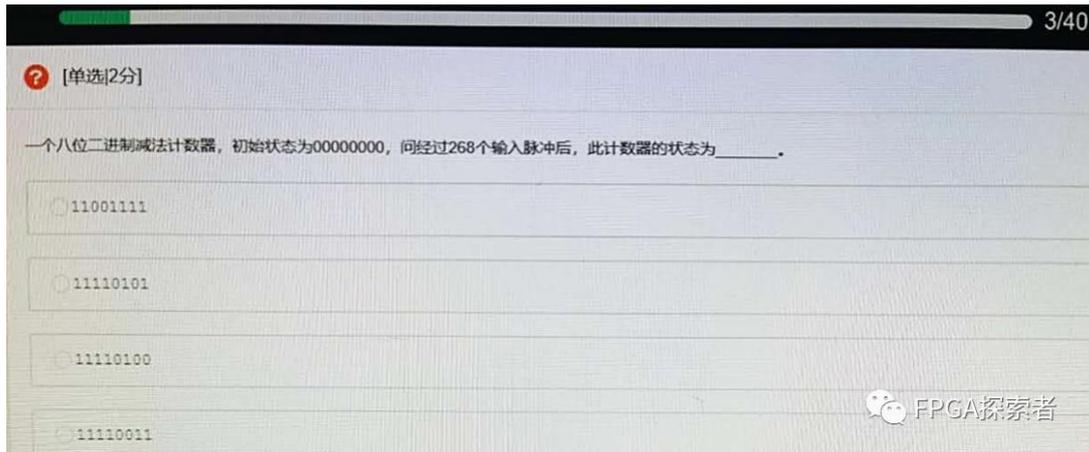
SLICEL的LUT6



SLICEM的LUT6

LUT功能	SLICEL	SLICEM
逻辑函数发生器	v	v
ROM	v	v
分布式RAM		v
移位寄存器		v

3. 一个八位二进制减法计数器，初始状态为 00000000，问经过 268 个输入脉冲后，此计数器的状态为 () 【计数器】 【减法计数器】 【二进制减法】



答案：C

解析：

(1) 8 位二进制，计数一周是 256 次 (2^8)，所以先输入 256 个脉冲，计数值从 00000000 回到 00000000，此时还需要输入 $268-256=12$ 个脉冲；

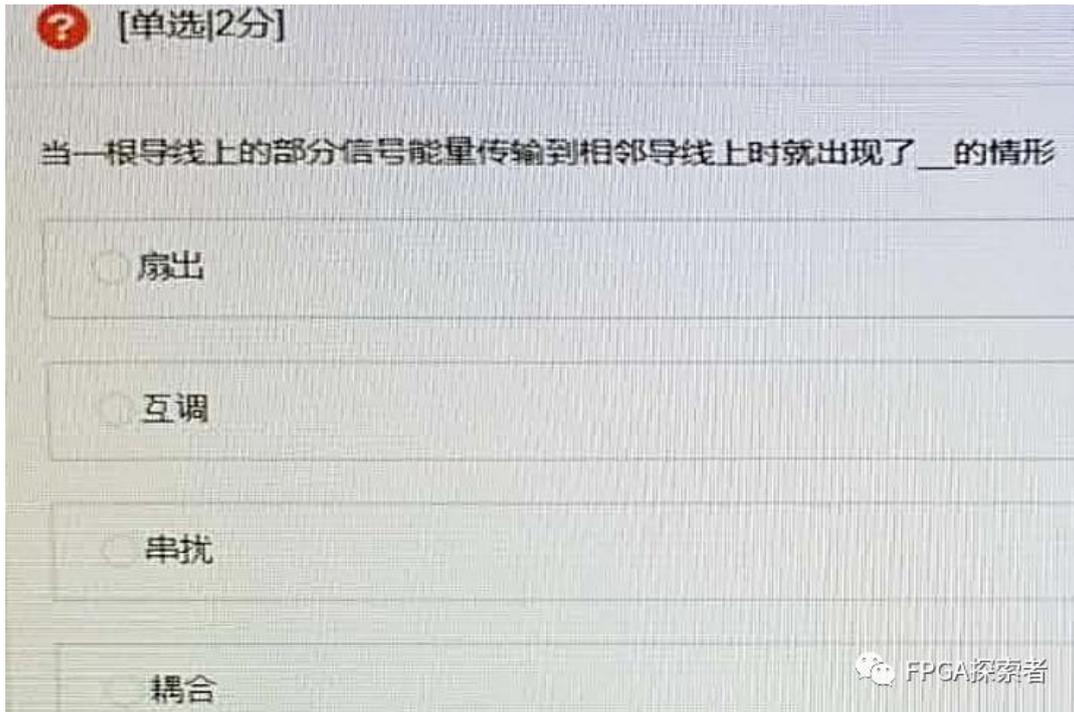
(2) 再输入 1 个脉冲，减法计数，得到 11111111，此时还需要输入 11 个脉冲；

(3) 11111111 是十进制的 255，减去 11 是 244，换算成二进制是 11110100；

第 (3) 步简便算：

11 的二进制是 0000_1011，在 1111_1111 中减去 0000_1011，就是 1111_0100。

4. 当一根导线上的部分信号能量传输到相邻导线上时就出现了 () 的情形？【扇出 fanout】【互调干扰】【串扰】【耦合】



答案：C 串扰

解析：

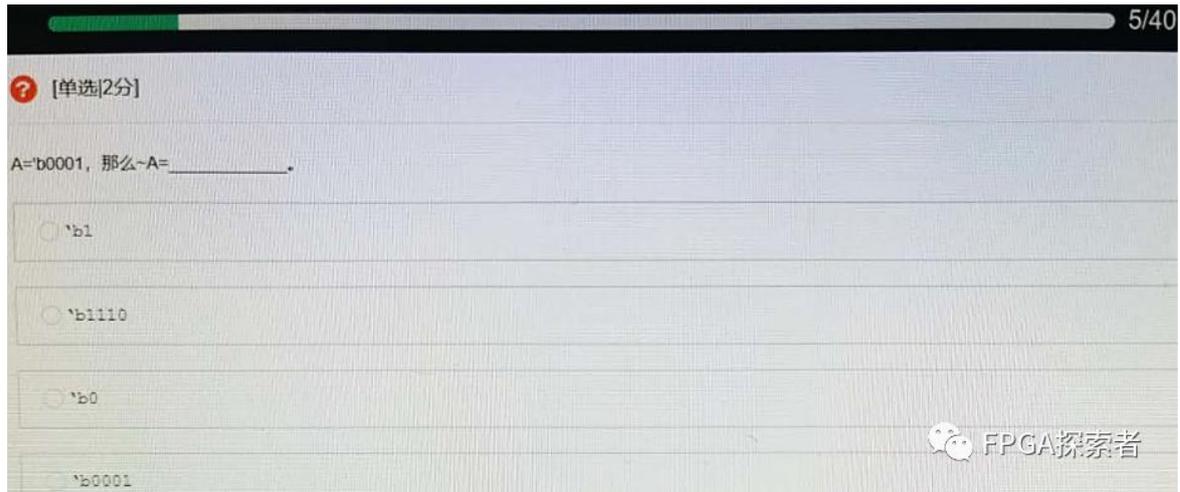
扇出：FPGA 里面，扇出是一个输出端连接/驱动的后级资源的个数，比如驱动 10 个 LUT 查找表。

互调：由于器件的非线性，不同频率的信号互相调制，形成一个新频率信号；在通信中的接收机中常出现交调干扰和互调干扰，交调干扰是幅度失真，互调干扰是频谱失真；

串扰：一个信号的部分能量传输到相邻导线上，常出现在多路并行的高速传输线上，所以对于 Gbps 传输，常常使用 GT 高速串行收发器，而不采用并行（原因之一）；

耦合：两个有依赖，彼此作用；

5. $A = 'b0001$ ，那么 $\sim A = ()$ ？【按位取反】【逻辑取反】



答案：B

解析：

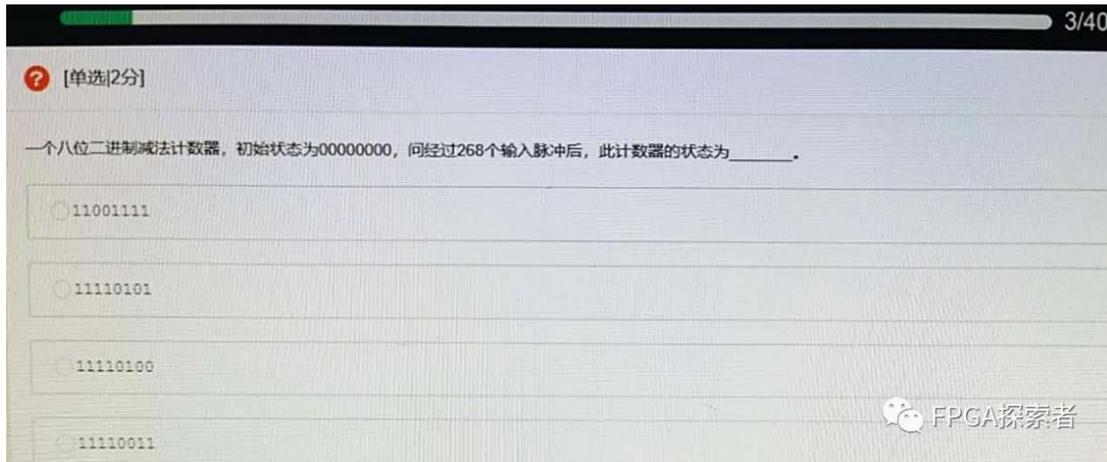
“~”按位取反，原来多少位，取反后还是多少位， $A = 'b0001$ ，那么 $\sim A = 'b1110$ ；

“!”逻辑取反，结果是逻辑0或者逻辑1，1-bit，这里A不为0，所以 $!A = 1'b0$ ，也可以写成 $'b0$ ；

对于单bit信号，两个的结果没有区别，比如1-bit的复位， $!rst_n$ 和 $\sim rst_n$ 的结果一样。

6. 已知信号 $f(t)$ 的频带宽度为带塔 w ，则 $f(3t-2)$ 的频带宽度为 ()

为 () 【计数器】 【减法计数器】 【二进制减法】



答案：A

知识点：【傅里叶变换性质】【尺度变换】【平移】【频谱】【时域压缩】【频域展宽】

解析：

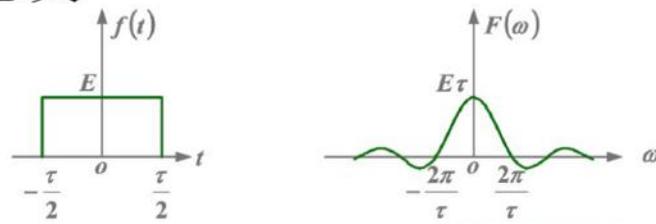
涉及到傅里叶变换的性质，包括平移和尺度变换，其中平移不影响频带的宽度，尺度变换影响频带宽度。

在一个域的扩展，对应另一个域的压缩，反之亦然。

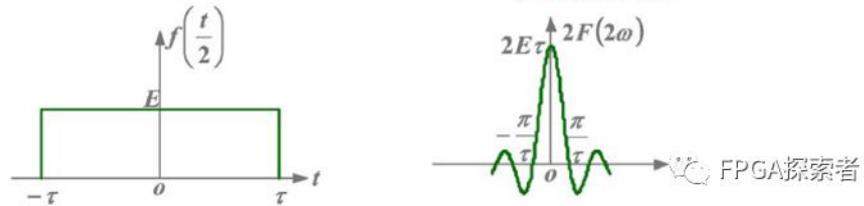
这里，时域是变窄，压缩为原来的 $1/3$ ，对应频域要展宽为原来的 3 倍。

t 对应 $\Delta\omega$ ，那么 $3t$ 对应 $3\Delta\omega$ 。

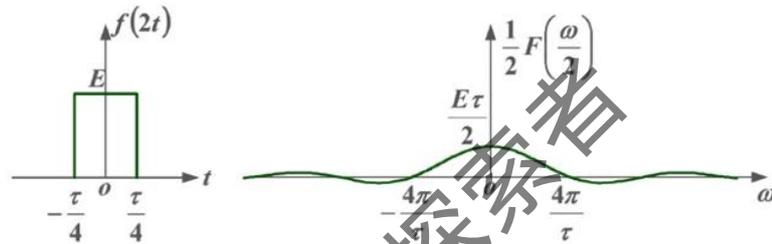
3. 意义



(1) $0 < a < 1$ 时域扩展，频带压缩。幅度有相应变化， $1/a$ 的绝对值倍

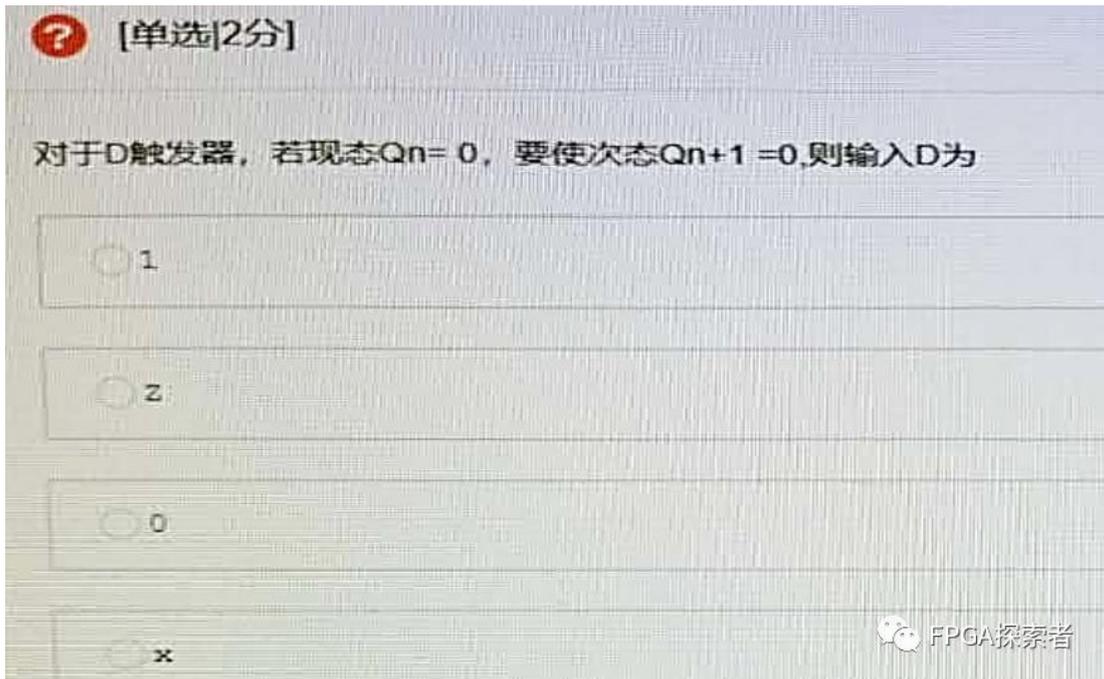


(2) $a > 1$ 时域压缩，频域扩展 a 倍。



持续时间短，变化快。信号在频域高频分量增加，频带展宽，各分量的幅度下降 a 倍。

7. 对于 D 触发器, 若现态 $Q_n=0$, 要使词条 $Q_{n+1}=0$, 则输入 D 为 ()?



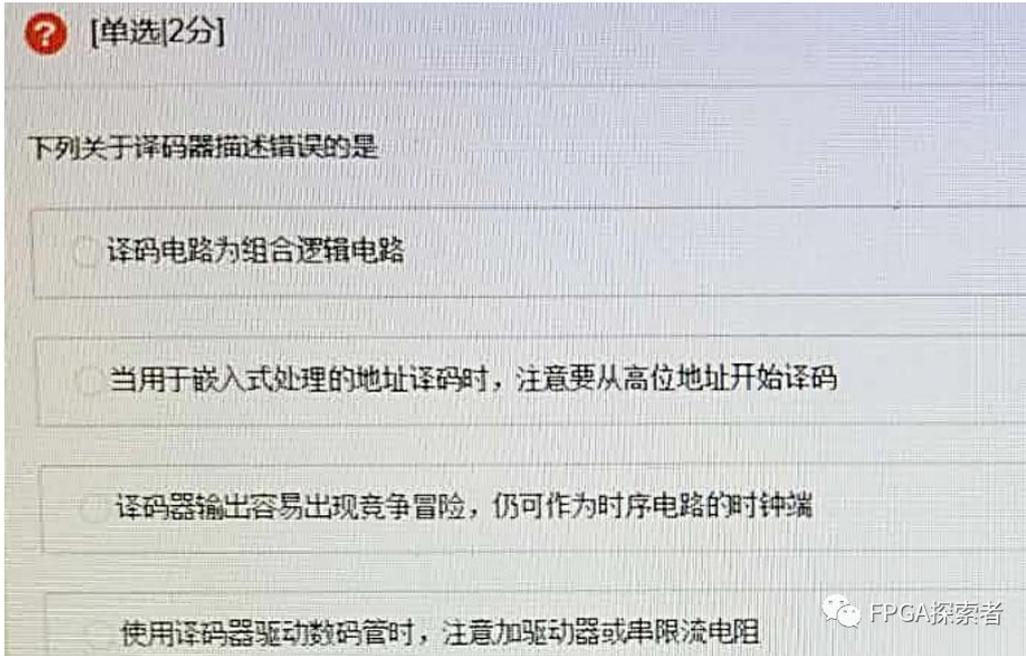
答案：C

知识点：【D 触发器】【现态和次态】

解析：D 触发器逻辑表达式 $Q_{n+1} = D$, 所以输入 D 为 0, 次态 $Q_{n+1}=0$ 。

【公众号作者：FPGA 探索者】

8. 下列关于译码器描述错误的是 ()



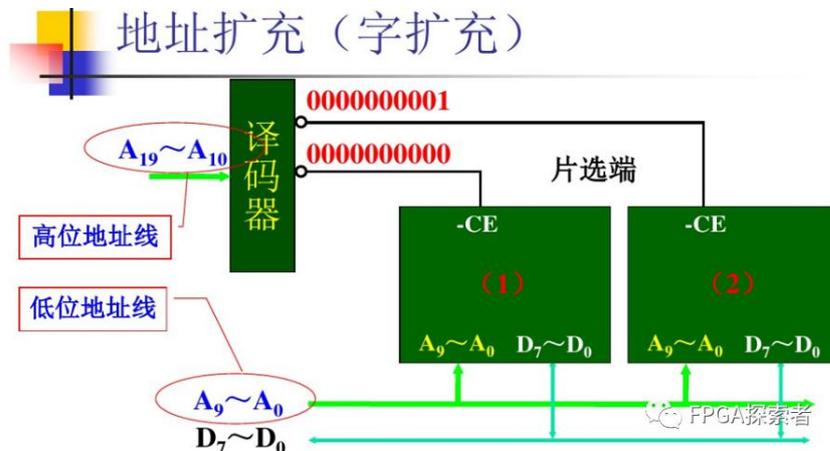
答案：C

知识点：【译码器】【组合逻辑】【高位译码】

解析：

译码器，常见的 3-8 译码器，组合逻辑，可能会出现竞争冒险，不可以作为时序电路的时钟端。

对于 B，高地址译码作为片选，低地址直接寻址，想具体了解的可以去看微机原理。



二、存储器地址译码方法

地址译码是存储系统设计的核心。通常，一个存储器是由若干存储芯片构成的。存储器的地址译码被分为片选控制译码和片内地址译码两部分。

片选：用高位地址进行译码后产生存储芯片的片选信号；

片内地址译码：用低位地址译码实现片内存储单元寻址。

FPGA探索者

9. 在何种输入情况下，“与非”运算的结果是逻辑 0？

? [单选|2分]

在何种输入情况下，“与非”运算的结果是逻辑0。

全部输入是0

任一输入是0

全部输入是1

任一输入是1

FPGA探索者

答案：C

知识点【与非门】【或非门】

解析：

与非，2 个输入 A、B，输入 A 固定为 1 时，相当于非门；输入 A 固定为 0 时，相当于固定输出 1。

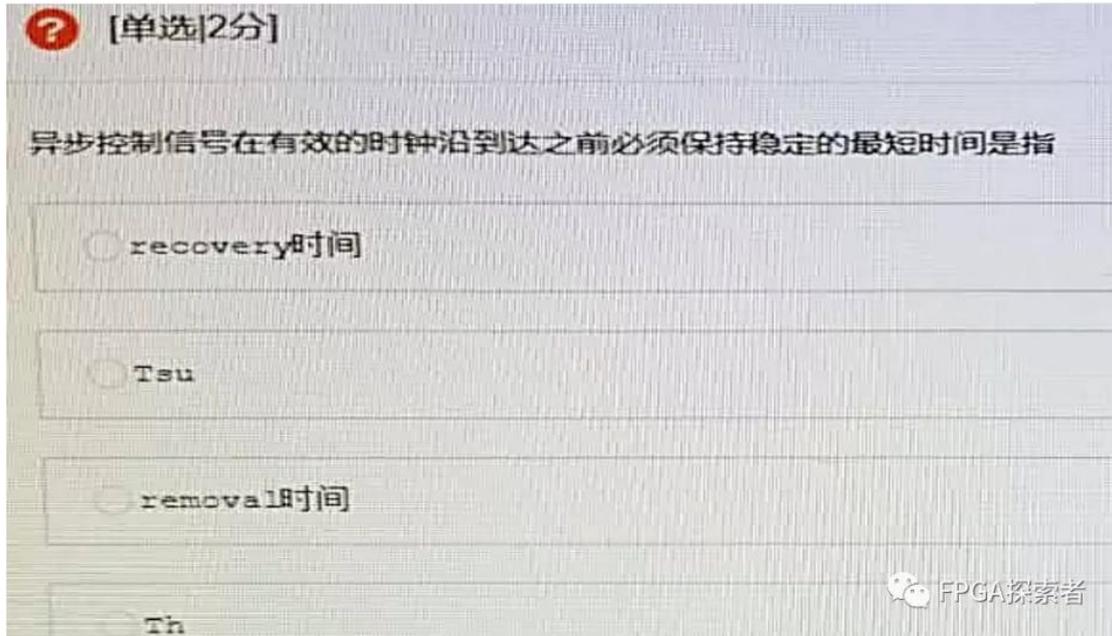
A、B 全为 1 的时候输出 0，A、B 中只有 0 就输出 1。

A	B	A&B	$\sim(A\&B)$
1	0	0	1
1	1	1	0
0	0	0	1
0	1	0	1

或非门类似分析，一个输入接 0 时，相当于非门；2 输入全为 0 输出 1，输入中只要有 0 输出就为 1。

A	B	A B	$\sim(A B)$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

10. 异步控制信号在有效的时钟沿到达之前必须保持稳定的最短时间是指 ()



答案：A

知识点：【STA 静态时序分析】【setup 建立时间】【hold 保持时间】

【recovery 恢复时间】【removal 移除时间】【异步复位】【时序】

解析：

(1) 对于时钟和数据信号，分析 setup 建立时间和 hold 保持时间

setup 建立时间：在有效的时钟沿来临前，数据需要保持稳定的最短时间，简称为 Tsu；

hold 保持时间：在有效的时钟沿来临后，数据需要保持稳定的最短时间，简称为 Th；

(2) 对于时钟和异步复位信号，分析 recovery 恢复时间和 removal 移除时间

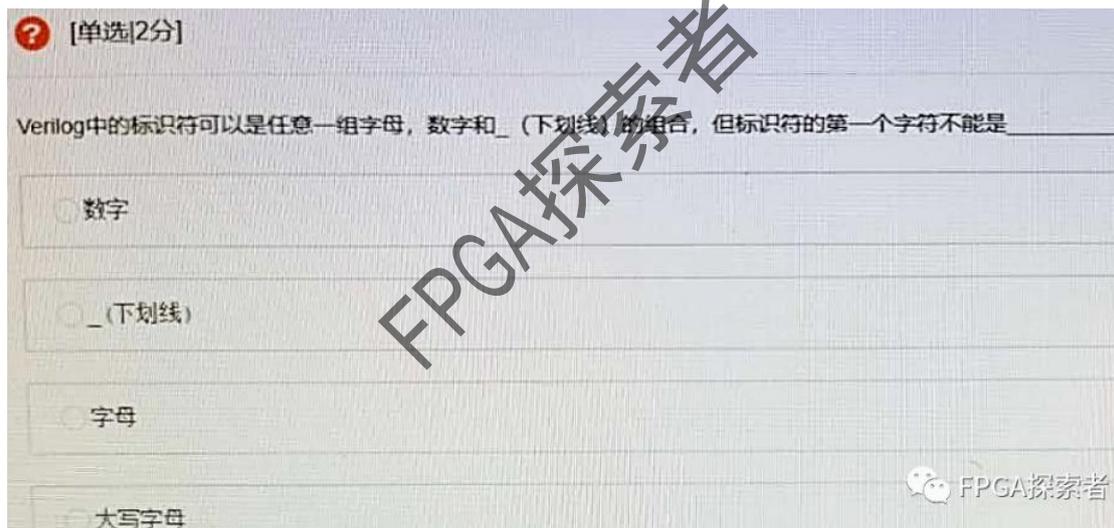
recovery 恢复时间：在有效的时钟沿来临前，异步复位信号保持稳定的最短时间；

removal 移除时间：在有效的时钟沿来临后，异步复位信号保持文档的最短时间；

FPGA 中亚稳态【Tsu 建立时间】【Th 保持时间】【Tmet 决断时间】
【recovery 恢复时间】【removal 移除时间】

<https://mp.weixin.qq.com/s/BfkBtXKuOwpzoHBz7KGfwg>

11. Verilog 中的标识符可以是任意一组字母、数字和_(下划线)的组合，单标识符的第一个字符不能是 ()



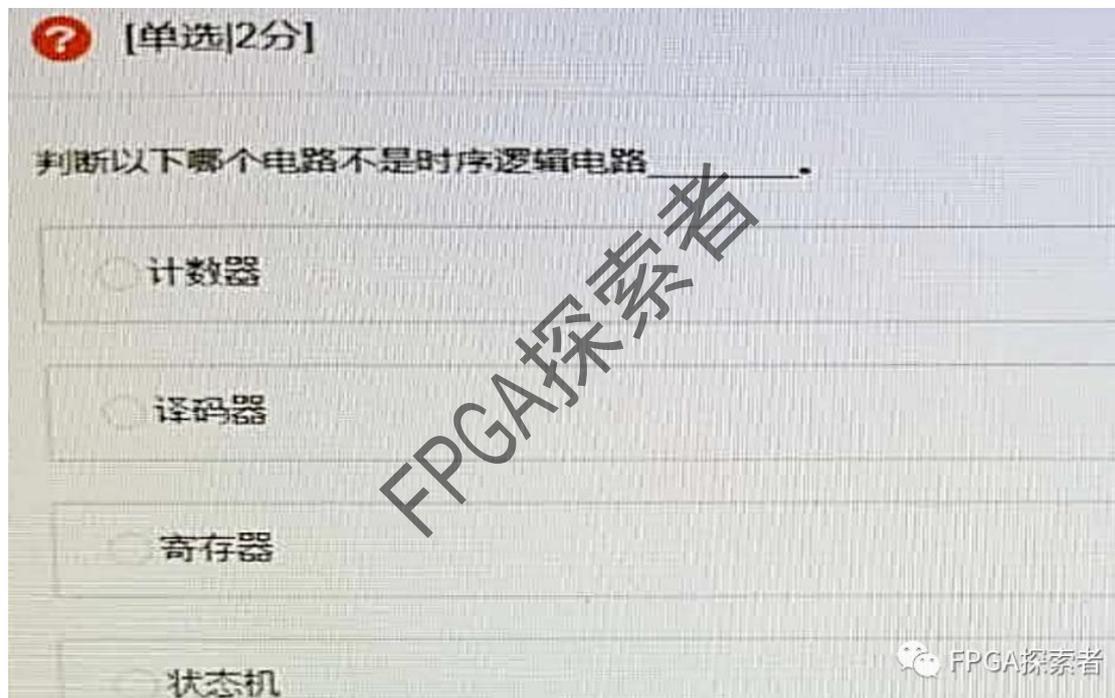
答案：A

解析：

Verilog HDL 中的标识符 (identifier) 可以是任意一组字母、数字、\$符号和_(下划线)的组合，但标识符的第一个字符必须是字母或者下划线，标识符是区分大小写的。

87 版标准中 VHDL 中的标识符可以是字母、数字和_(下划线)组成，首字符必须是字母，不区分大小写，且末字符不能为下划线，不允许出现两个连续的下划线。93 版标准中，略有不同，没啥意思，感兴趣的自己查。

12. 判断以下哪个电路不是时序逻辑电路 ()



答案：B

知识点：【时序逻辑电路】 【状态机】

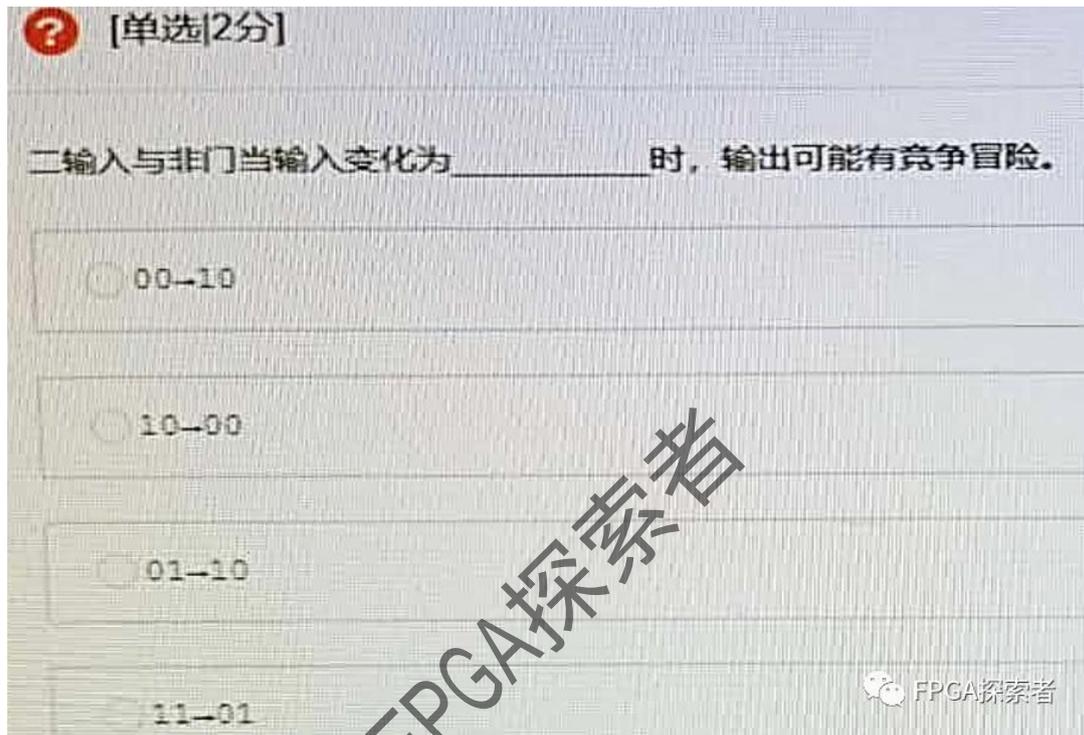
解析：

时序逻辑电路的特点：在任意时刻的输出，不仅取决于当前的输入，还取决于电路中原有的状态（组合电路+存储电路，能保存电路状态，比如寄存器）。

组合逻辑电路特点：输出仅取决于当前的输入。

显然，译码器是组合电路，计数器、寄存器、状态机是时序电路。

13.



答案：C

知识点：【竞争冒险】

解析：

2 输入与非。

A	B	A&B	$\sim(A\&B)$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

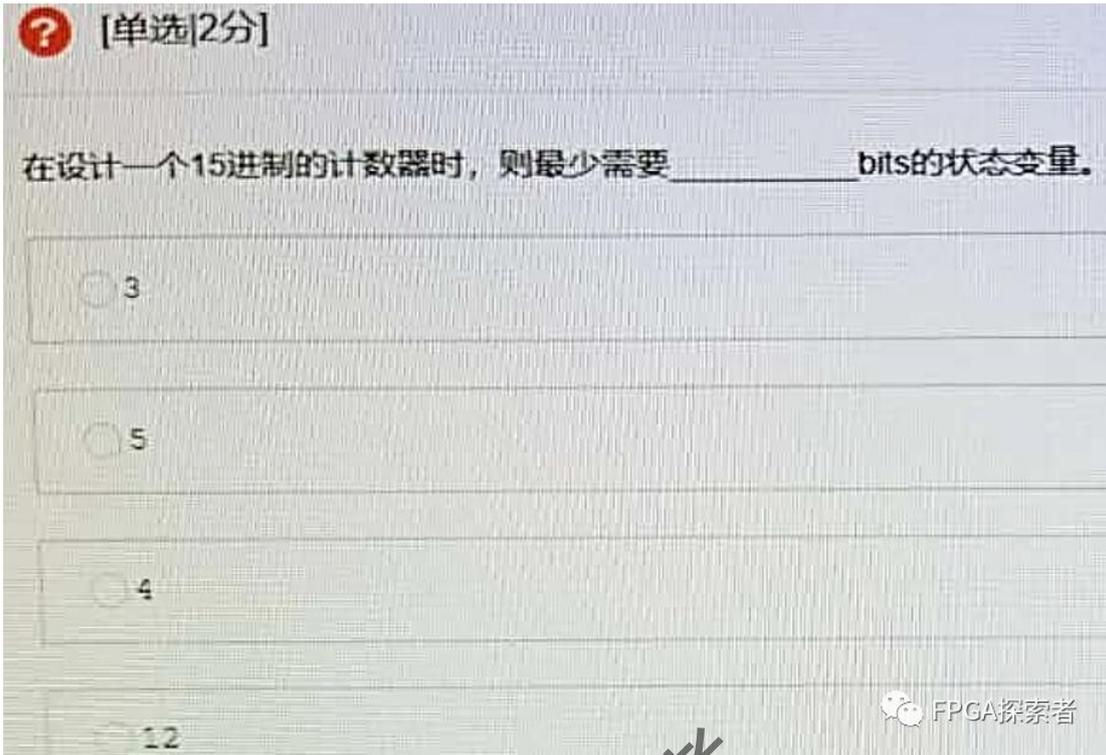
对 A: 00—>10, 如果有延时产生, 可能会出现 00、10 两种状态, 输出均为 1, 没有输出冒险;

对 B: 10—>00, 如果有延时产生, 可能会出现 10、00 两种状态, 输出均为 1, 没有输出冒险;

对 C: 01—>10, 如果有延时产生, 可能会出现 01、00、10、11 四种状态, 输出本应该为 1, 但是可能会出现 0 (11 状态), 输出冒险;

对 D: 11—>01, 如果有延时产生, 可能会出现 11、01 两种状态, 没有产生额外的状态, 没有输出冒险;

14. 在设计一个 15 进制的计数器时, 则至少需要 () bits 的状态变量?



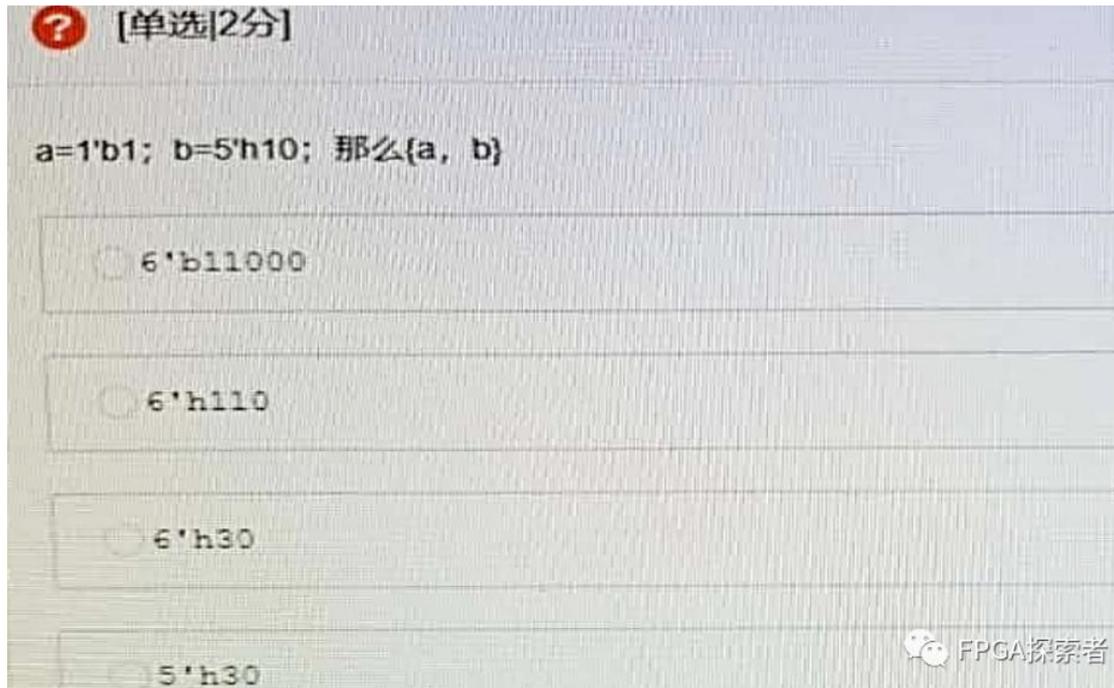
答案：C

知识点：【计数器】

解析：

$$2^4 = 16。$$

15. $a=1'b1$, $b=5'h10$, 那么 $\{a, b\} = ?$



答案：C

知识点：【位拼接】

解析：

{ }位拼接，多个数拼成一个更大位宽的新数，在前面的是高位。b = 5'h10 = 5'b10000，所以{a, b} = 6'b110000 = 6'h30。

'b 二进制，'h 十六进制。

16. 多数时序问题，归根结底是 ()



答案：C

知识点：【时序】【STA 静态时序分析】【建立时间】【保持时间】【竞争冒险】

解析：

组合逻辑中：竞争冒险问题；

时序逻辑中：建立/保持时间问题。

对时序逻辑，STA 静态时序分析，最主要的是 setup 和 hold 问题。

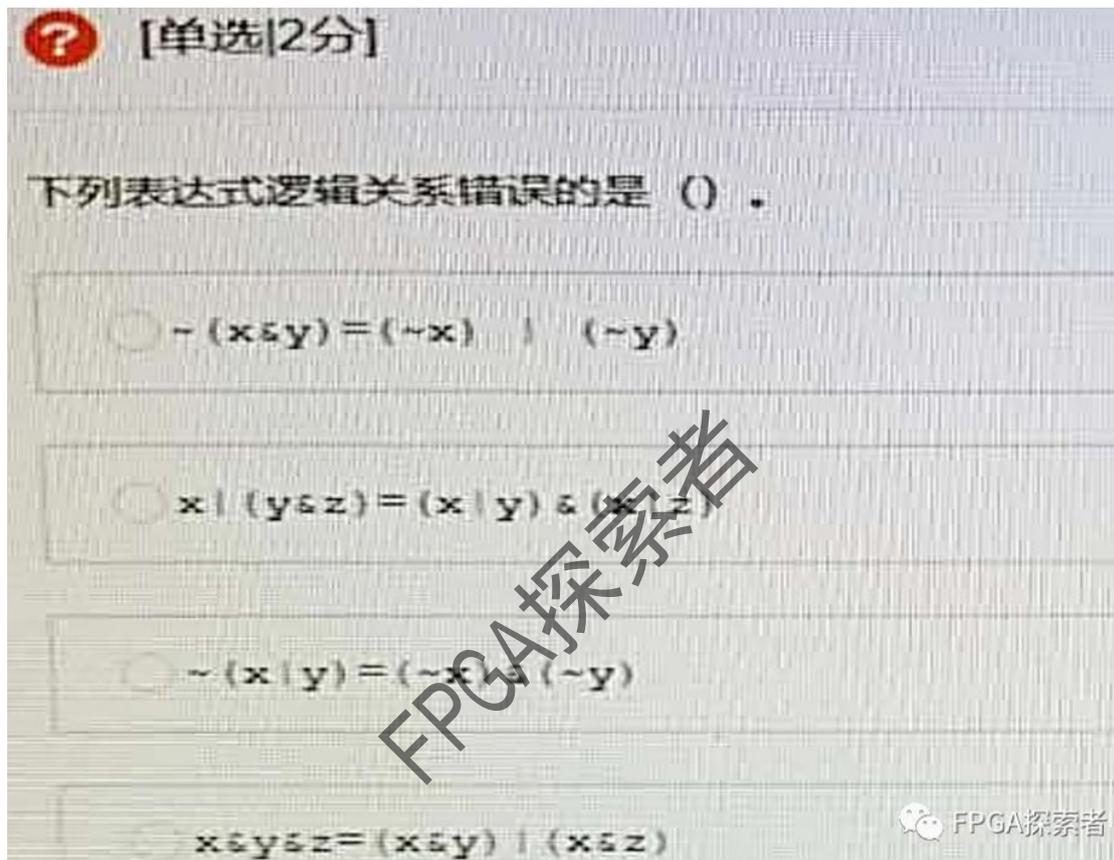
CDC 跨时钟域处理及相应的时序约束【set_clock_groups】【set_max_delay】

<https://mp.weixin.qq.com/s/7jQZ8IncuNWluiJU9XwXwg>

FPGA 时序分析之关键路径 (Critical Path) 【华为静态时序分析资料】

https://mp.weixin.qq.com/s/ITWLpsTWI7NsN9IU_5aqRQ

17. 下列表达式逻辑关系错误的是 ()



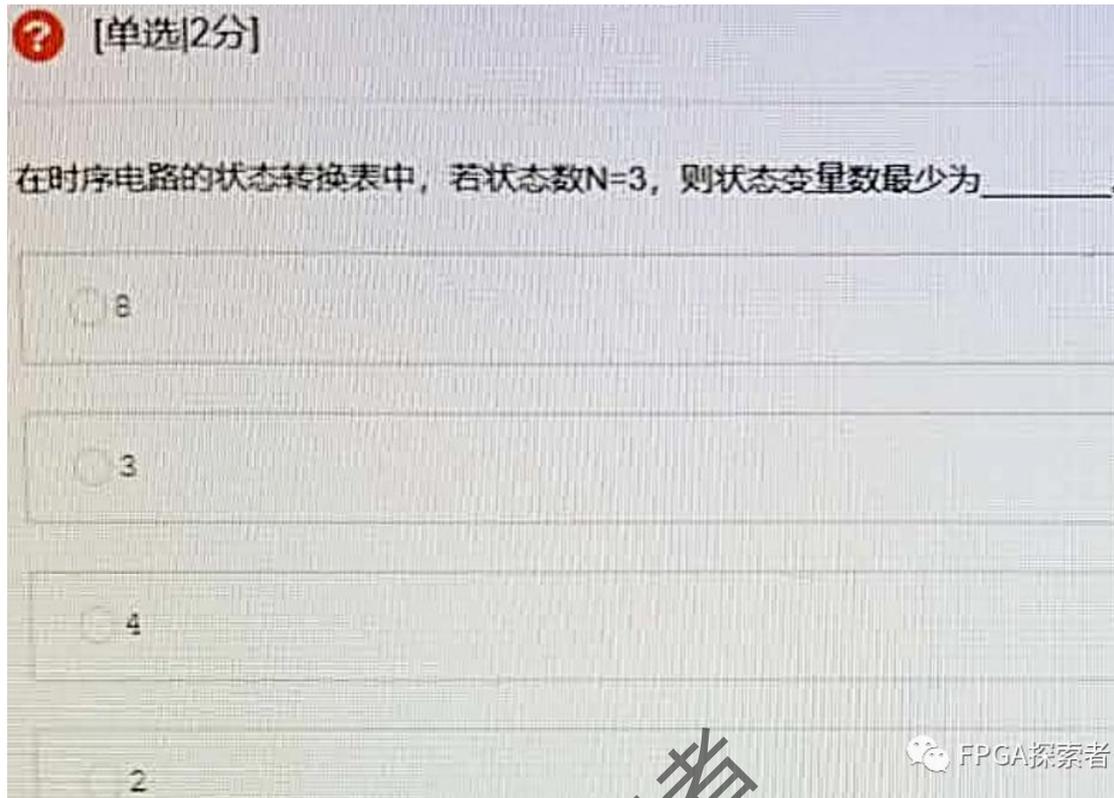
答案：D

知识点：【反演律】

解析：

数字电路运算规则。

18. 在时序电路的状态转换表中，若状态数 $N=3$ ，在状态变量数最少为 ()



答案：D

知识点：【状态机】【二进制编码】【独热码】【格雷码】

解析：

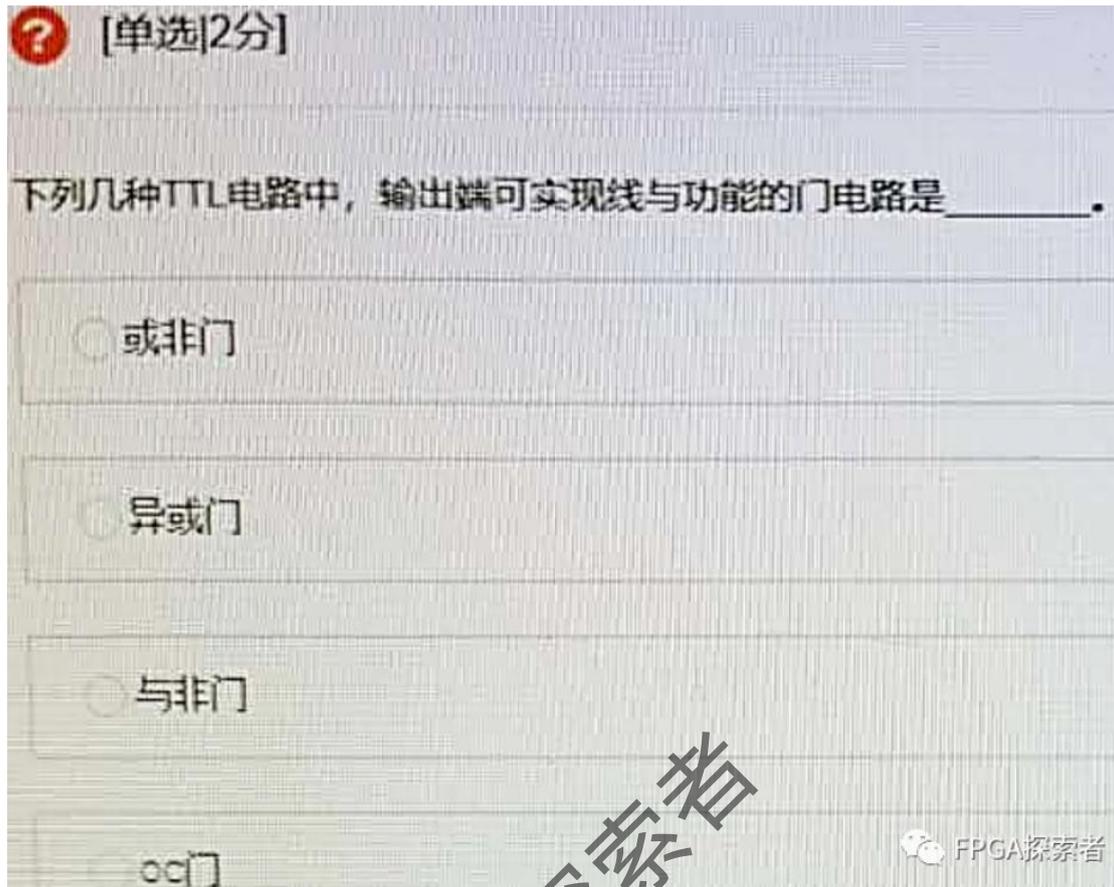
二进制或者格雷码编码， $2^2 = 4$ ，2 和状态变量最多可以支持 4 个状态；

独热码编码，N 个状态需要 N 个状态变量(3'b001, 3'b010, 3'b100)。

独热码 (One-Hot)，只有 1 位是 1。

此篇有相关的 https://mp.weixin.qq.com/s/uEUIP-0ticv_wp6INVrw7g

19. 下列几种 TTL 电路中，输出端可实现线与功能的门电路是 ()



答案：D

知识点：【OC 门】【OD 门】【线与】

解析：

线与：OC 门和 OD 门。

线与：OC 门和 OD 门。

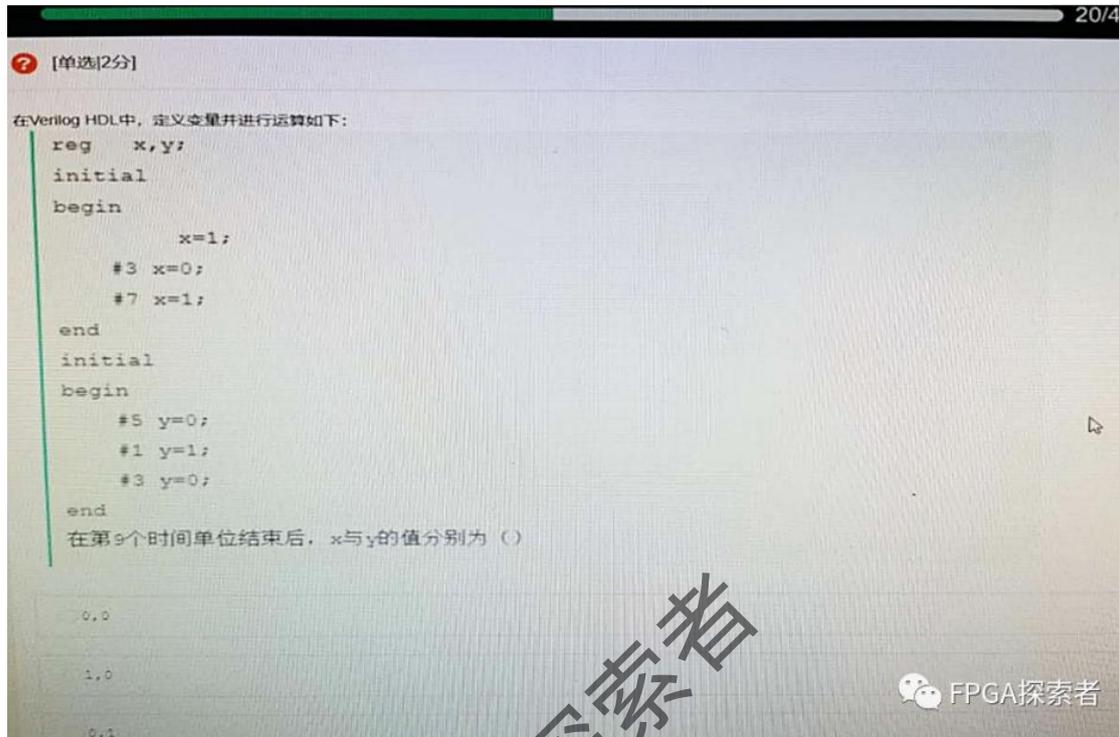
OD：漏极开路门 (Open-Drain)，直接线与；

OC：集电极开路门 (Open-Collector)，必须接电源和上拉电阻，而不是下拉电阻；

门电路【OC 门】【OD 门】 (2022 届)

<https://zhuanlan.zhihu.com/p/357082066>

20. 在 Verilog HDL 中，定义变量并进行运算如下，在第 9 个时间单位结束后，x 与 y 的值分别为 ()



答案：A

解析：

可以看第 1 题的解析。多个 initial 块并行从时刻 0 开始执行，到第 9 个时刻， $x = 0$ ， $y = 0$ 。

21. 十进制 46.25 对应的二进制表达式为 ()

单选题[2分]

十进制数46 25对应的二进制表达式为_____。

101110.01

101101.01

101110.11

101110.1

FPGA探索者

答案：A

知识点：【进制转换】【十进制转二进制】

解析：

十进制转换成二进制：

(1) 整数部分：不断除以2，直到商为0，倒着取余数；

$$46 = 32 + 8 + 4 + 2, \quad 6'b101110;$$

$$46/2 = 23 \dots\dots 0$$

$$23/2 = 11 \dots\dots 1$$

$$11/2 = 5 \dots\dots 1$$

$$5/2 = 2 \dots\dots 1$$

$$2/2 = 1 \dots\dots 0$$

$$1/2 = 0 \dots\dots 1$$

倒着数，101110。

FPGA探索者

(2) 小数部分：不断乘以 2，直到积的小数部分为 0，正着取整数部分。

(a) 0.25，乘以 2，得 0.5，整数部分为 0，小数部分 0.5；

(b) 0.5，乘以 2，得 1.0，整数部分为 1，且小数部分为 0；

综上，小数部分 $2'b01$ 。

合起来， $46.25 = 101110.01$ 。



22. 对于 Intel (Altera) 的 FPGA，下面哪一个等级速率最快 ()



答案：A

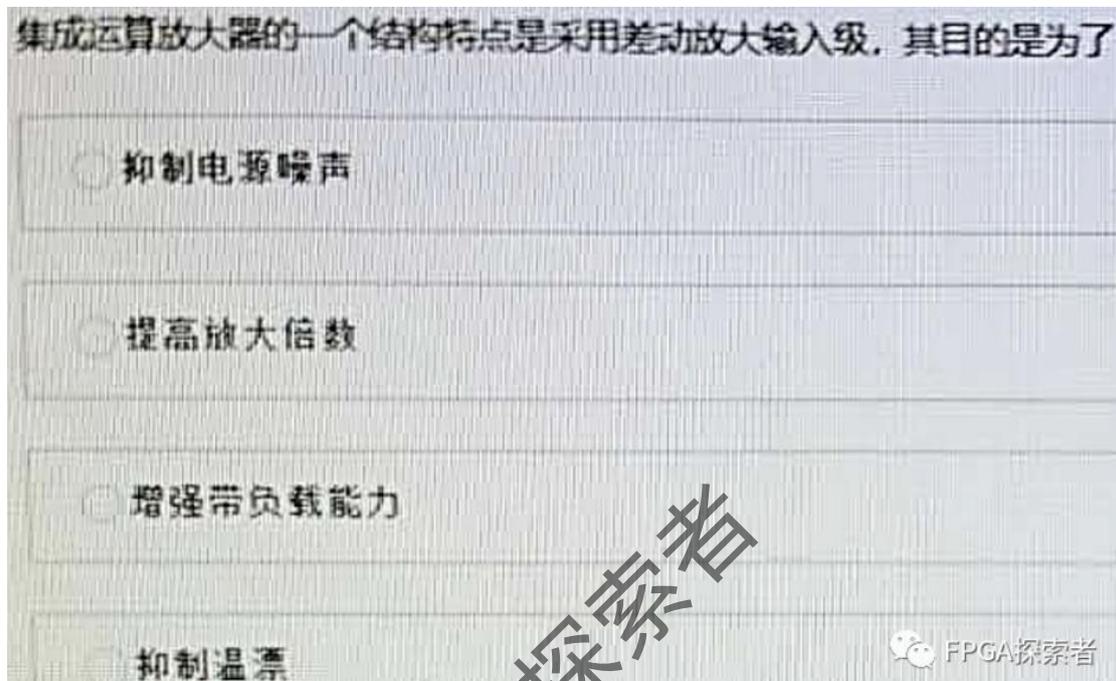
解析：

Intel (Altera) 的 FPGA：-6/-7/-8，-6 最快，-8 最慢；

Xilinx 的 FPGA：-1/-2/-3，-1 最慢，-3 最快。

现在还有 -1/-L1/-2/-L2/-3，L 是低功耗 Low power。

23. 集成运算放大器的一个结构特点是采用差动放大输入级,其目的是为了 ()



答案：D

知识点：【差动放大器】【共模抑制比】【温漂】

解析：

差动放大，也叫差分放大，相比直接放大，能抑制温漂（零漂）。

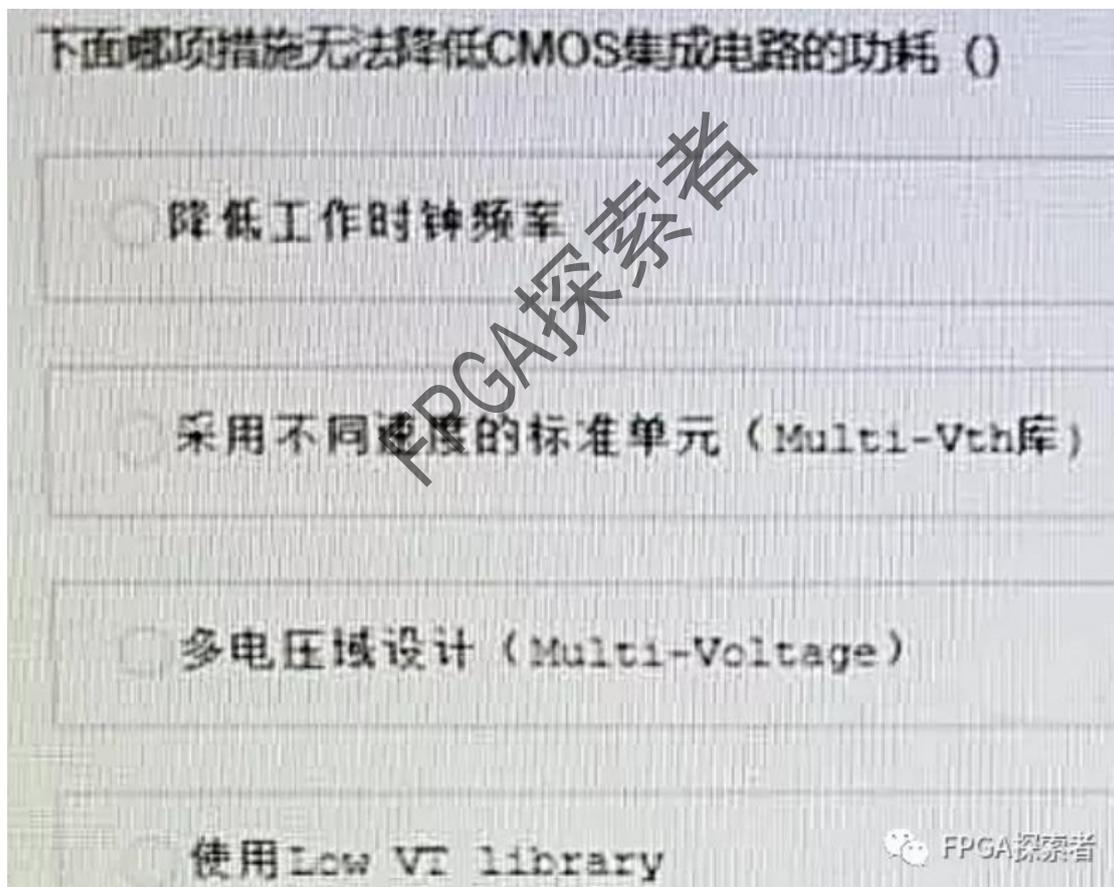
零点漂移：电压或者温度影响，集电极电流发生变化，相当于在 2 个输入端加入了共模信号。差分放大电路有很好的共模抑制比 **CMRR**，即有很强的输出漂移抑制能力。

3. 减小零漂的措施

- 用非线性元件进行温度补偿
- 调制解调方式。
- 采用差分式放大电路



24. 下面哪项措施无法降低 CMOS 集成电路的功耗？



答案：D

知识点：【低功耗技术】【多阈值】【多电压】【门控时钟】【降频】
【降压】

解析：

CMOS 集成电路低功耗：

降频； 降压； 多电压； 多阈值； 门控时钟；

D 中的 Low VT library，低阈值库，漏电流大，运算速度快，静态功耗大。

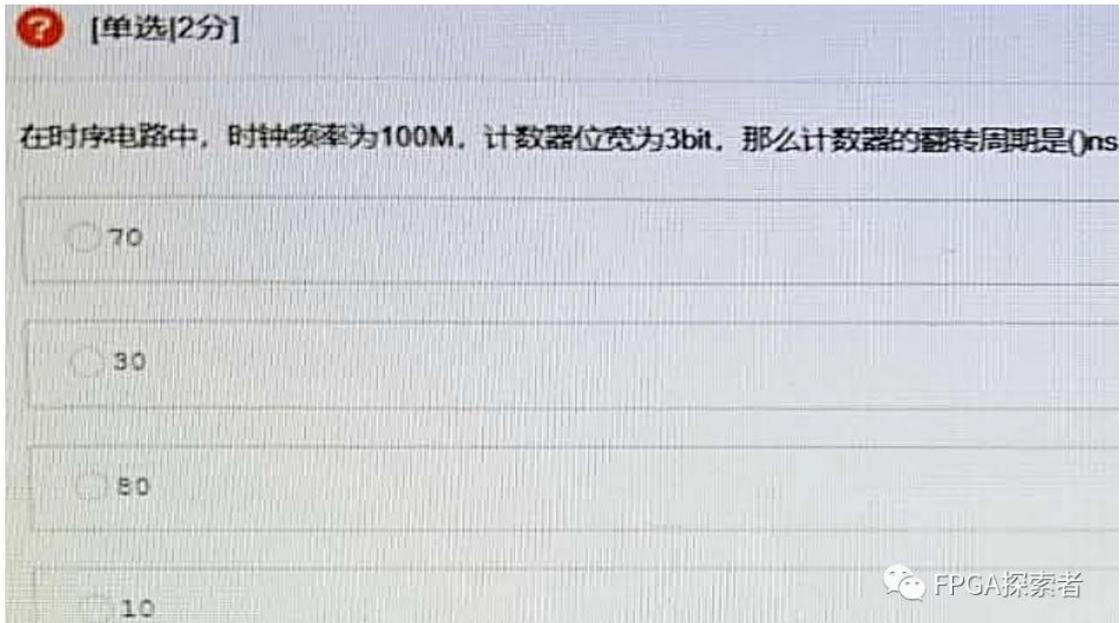
CMOS 集成电路低功耗：

- (1) 降低工作频率；
- (2) 降低工作电压；
- (3) 多电压（内部能用低电压的部分可以用低电压）；
- (4) 多阈值（Multi-VT，高速运算部分采用低阈值，运算快；普通运算用高阈值，运算慢一点但是节省功耗）；
- (5) 门控时钟；

FPGA探索者

对于非关键路径，对延时不敏感，可以使用高 VT（高阈值）的器件，则可以在满足时序的前提下，减小静态功耗。

25.在时序电路中，时钟频率为 100M，计数器位宽为 3bit，那么计数器的翻转周期是（ ） ns？



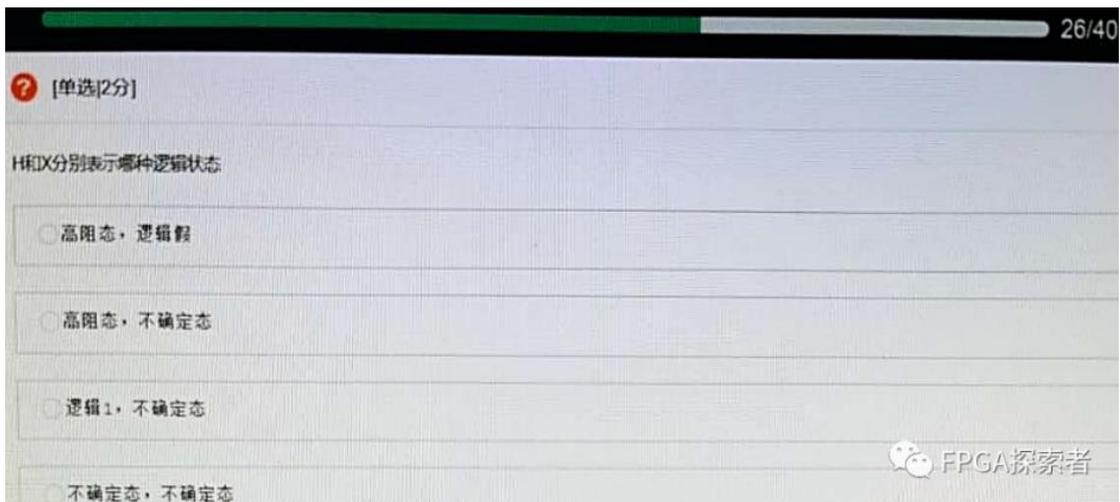
答案：C

解析：

100MHz 时钟对于 10 ns 时钟周期。

计数器位宽 3-bit，8 进制计数器，计 8 个时钟周期，80 ns。

26. H 和 X 分别别是哪种逻辑状态？（VHDL、Verilog）



答案：C

解析：

在 Verilog 中，只有 0、1、X、Z 四种逻辑，其中 X 不定态，Z 高阻态（X、Z 不区分大小写）。

在 VHDL 中，H 是弱逻辑 1，X 是不定态。

‘U’ 未初始化的

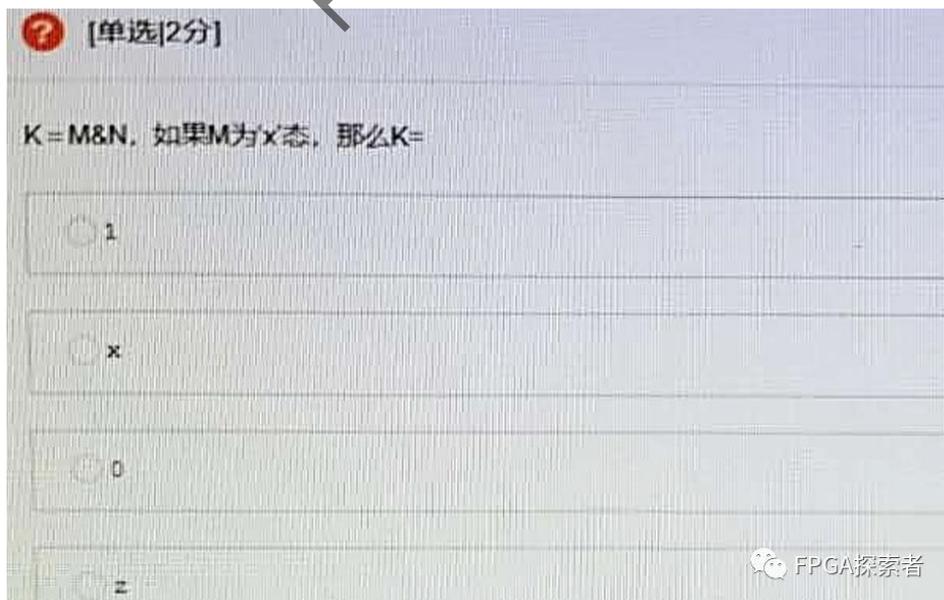
‘X’	“强” 未知的（综合后为不确定值）	强
‘0’	“强” 逻辑0 （综合后为0）	
‘1’	“强” 逻辑1 （综合后为1）	
‘Z’	高阻态（综合后为三态缓冲器）	
‘W’	“弱” 未知的	弱
‘L’	“弱” 逻辑0	
‘H’	“弱” 逻辑1	
‘-’	忽略	

可综合

驱动能力

FPGA探索者

27. $K=M\&N$ ，如果 M 为 ‘x’ 态，那么 K=?



答案：B

解析：

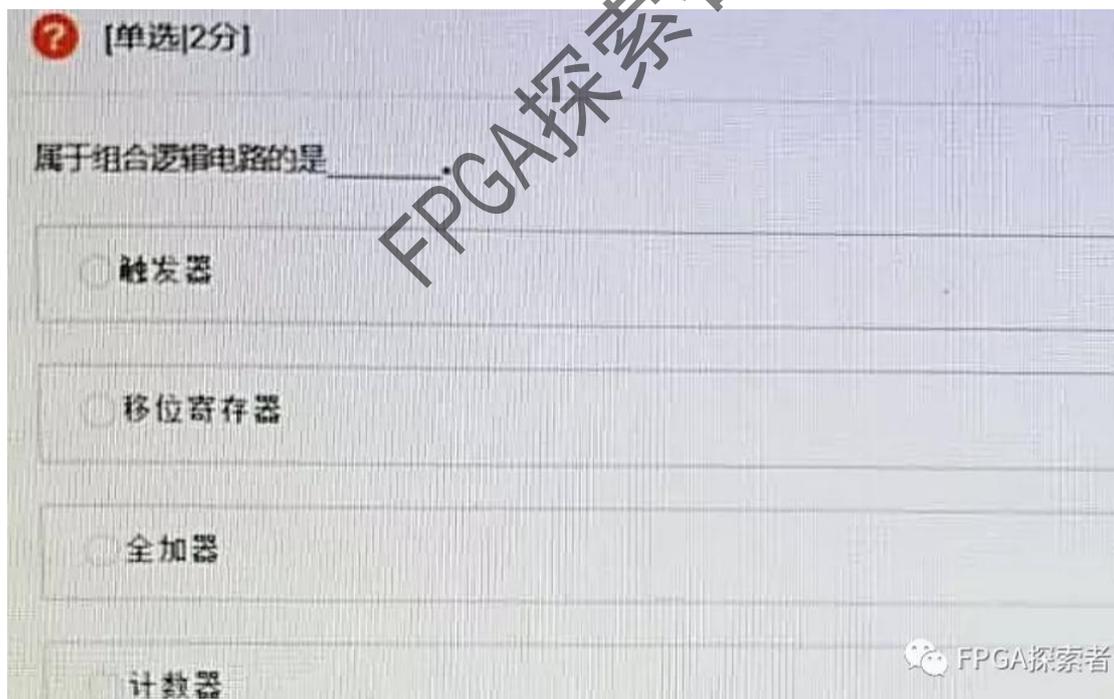
输入只有 X 不定态（红线），输出就是 X 不定态。

输入是高阻态 Z（蓝线）和 0，输出是 0；

输入是高阻态 Z（蓝线）和 1，输出是 X 不定态。



28. 属于组合逻辑的电路是 ()



答案：C

解析：

和 12 题一样。

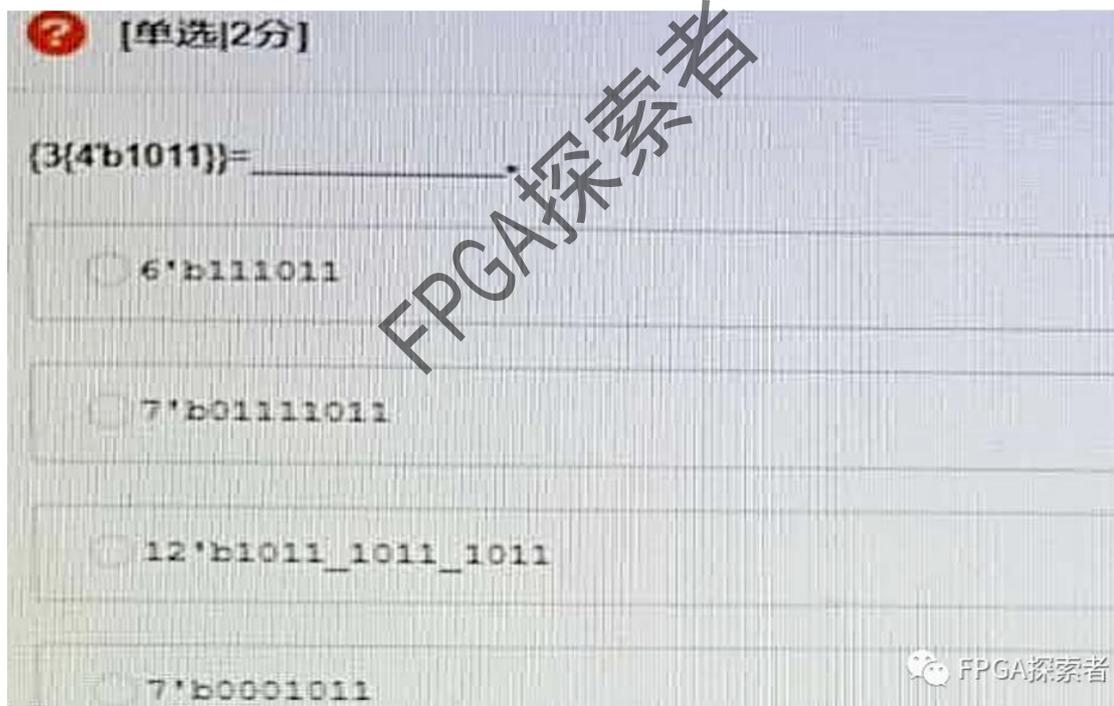
时序逻辑电路的特点：在任意时刻的输出，不仅取决于当前的输入，还取决于电路中原有的状态（组合电路+存储电路，能保存电路状态，比如寄存器）。

组合逻辑电路特点：输出仅取决于当前的输入。

全加器、译码器、编码器是组合电路；

计数器、寄存器（触发器）、移位寄存器、状态机是时序电路。

29. $\{3\{4'b1011\}\} = ()$



答案：C

知识点：【位拼接】

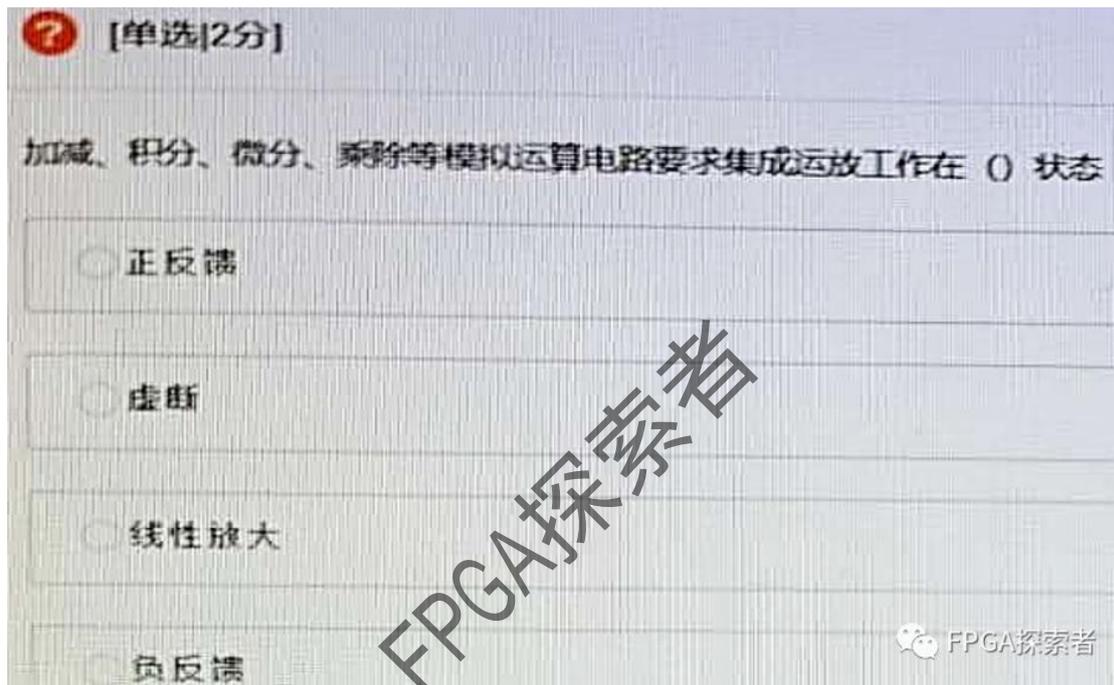
解析：

{ }位拼接，意思是 3 个{4'b1011}拼在一起，

即{4'b1011, 4'b1011, 4'b1011},

即 12'b1011_1011_1011。

30. 加减、积分、微分、乘除等模拟运算电路要求集成运放工作在 () 状态

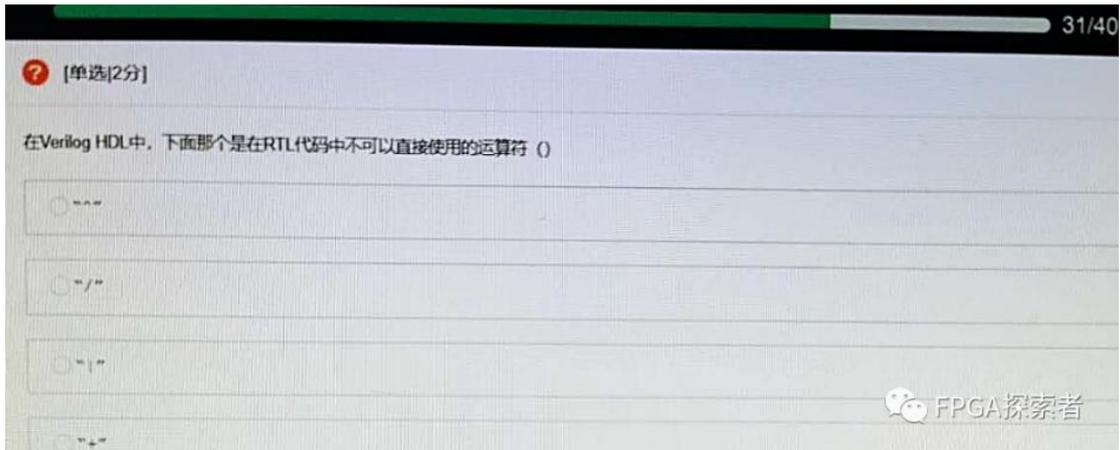


答案：C

知识点：【集成运放】【线性放大区】【负反馈】

解析：不解了，记住就行了。

31. 在 Verilog HDL 中，下面哪个是在 RTL 代码中不可以直接使用的运算符 ()



答案：B（我觉得都能用）

解析：

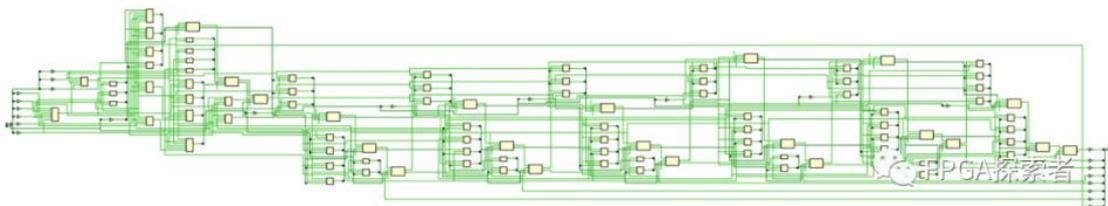
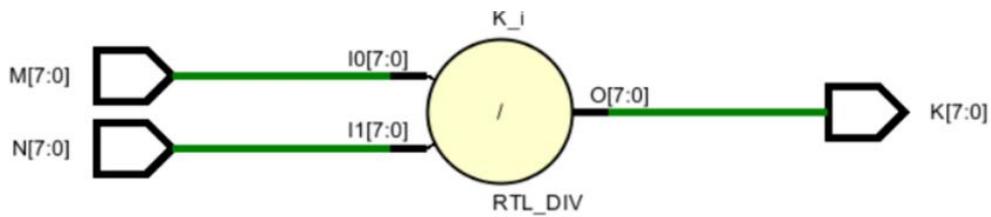
A：异或；

B：除法，最好是调用除法器 IP；

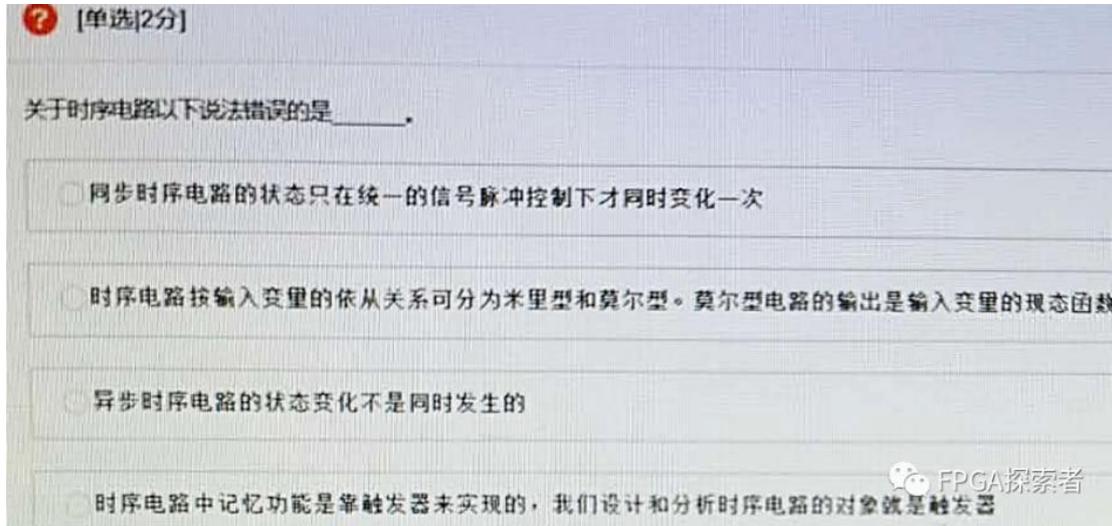
C：或运算；

D：加法；

除法在综合和布局布线后，可以看到，是利用很多 LUT 和进位链搭出来的。



32. 关于时序电路，以下说法错误的是（）



答案：B

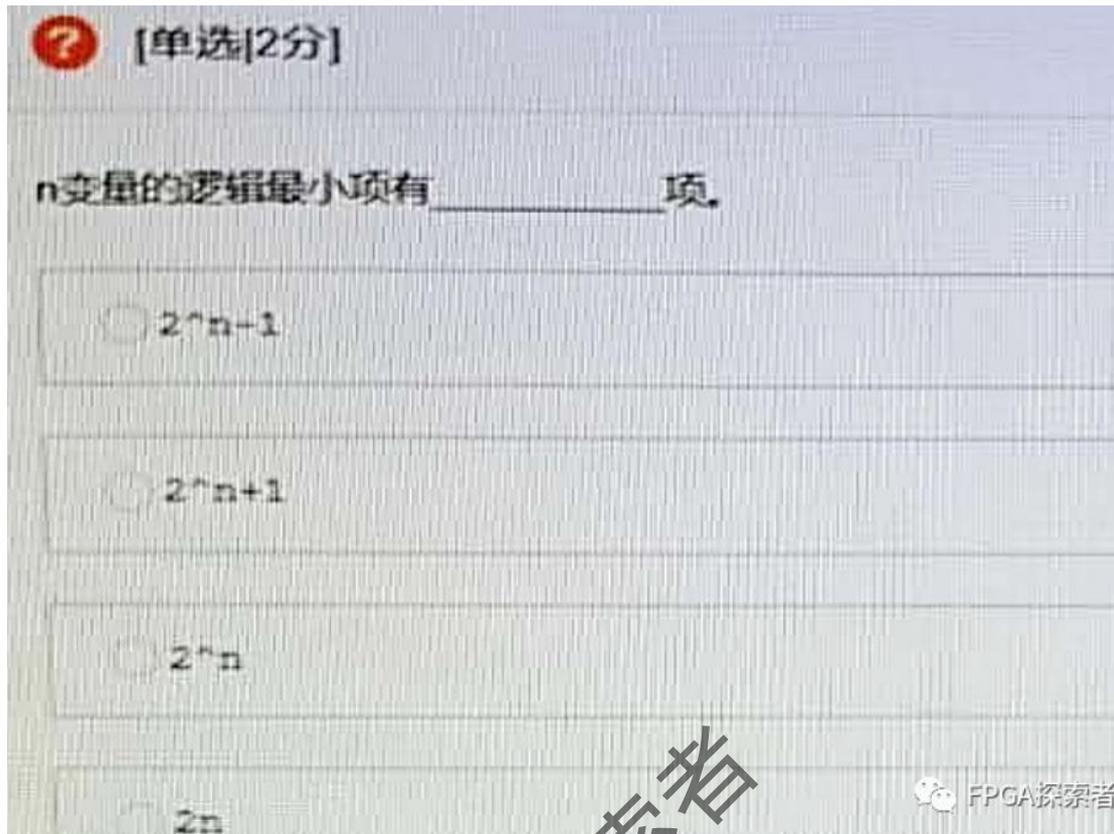
知识点：【时序逻辑电路】【状态机】【Moore 型】【Melay 型】【异步】【同步】

解析：

莫尔型输出：输出只和当前的状态有关；

米里型输出：输出除了和当前状态有关，还和输入有关。

33. n 变量的逻辑最小项有（）项



答案：C

知识点：【数字电路】【逻辑函数最小项】

解析：

n 变量的最小项有 2^n 项。

5. 逻辑函数的最小项及其性质

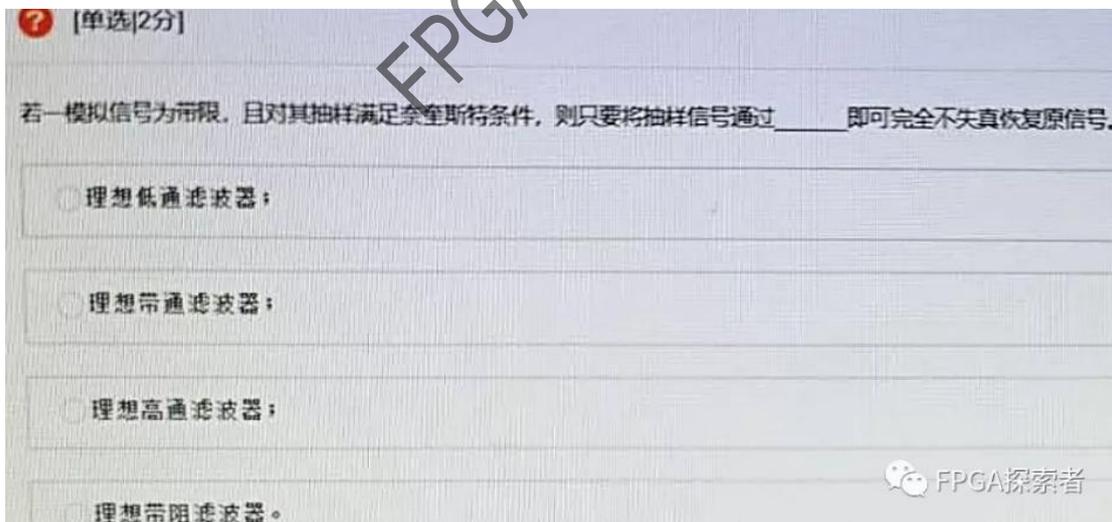
(1) 最小项：

如果一个函数的某个乘积项包含了函数的全部变量，其中每个变量都以原变量或反变量的形式出现，且该乘积项仅出现一次，则这个乘积项称为该函数的一个标准积项，又称为最小项。

3个变量A、B、C可组成8个最小项：

$\overline{A}\overline{B}\overline{C}$ 、 $\overline{A}\overline{B}C$ 、 $\overline{A}B\overline{C}$ 、 $\overline{A}BC$ 、 $A\overline{B}\overline{C}$ 、 $A\overline{B}C$ 、 $AB\overline{C}$ 、 ABC

34. 若一模拟信号为带限，且对其抽样满足奈奎斯特条件，则只要将抽样信号通过（ ）即可完全不失真恢复原信号



答案：A

知识点：【带限信号】【低通滤波器】【奈奎斯特采样定理】

解析：

低通滤波器，滤除高频噪声，保留到带限信号的有用信号的最高频率，此时使用奈奎斯特采样，可以无失真恢复信号。

35. 15 位二进制数 100111001110010，用 10 进制表示是 ()



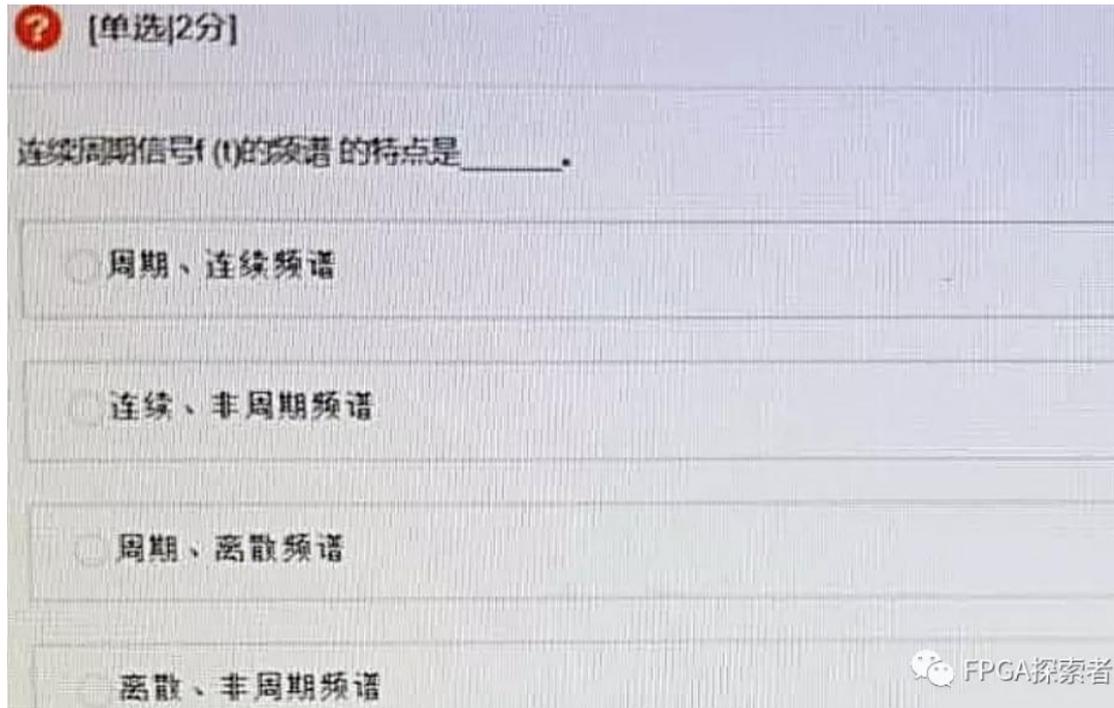
答案： B

知识点：【进制转换】【二进制转十进制】

解析：

$$2^{14} + 2^{11} + 2^{10} + 2^9 + 2^6 + 2^5 + 2^4 + 2^1 = 20082。$$

36. 连续周期信号 $f(t)$ 的频谱特点是 ()



答案：D

知识点：【傅里叶变换】【频谱】【时域连续频域非周期】

解析：

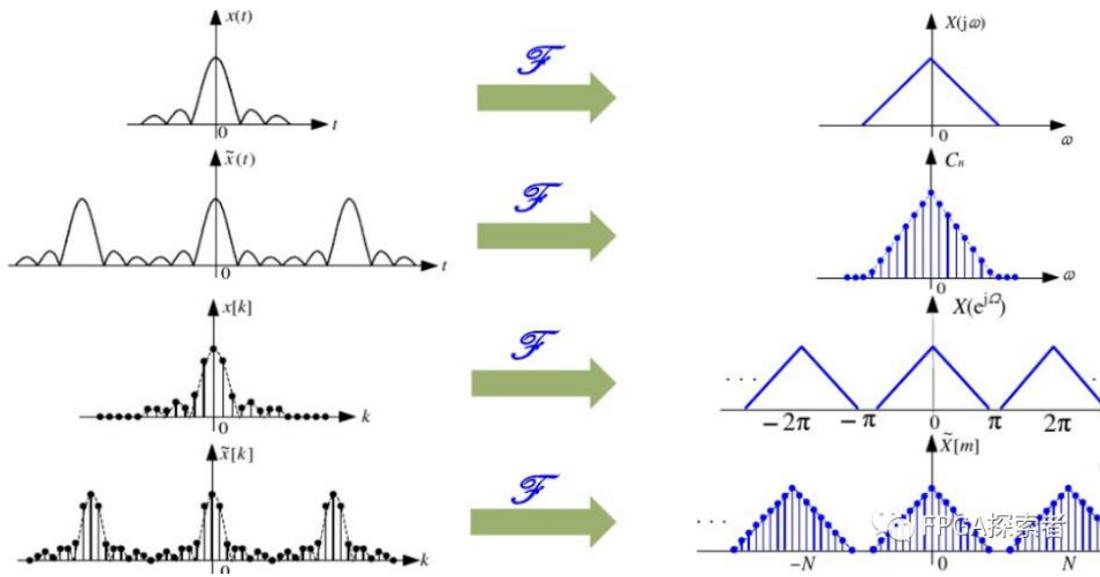
时域连续，频域非周期。

时域离散，频域周期。

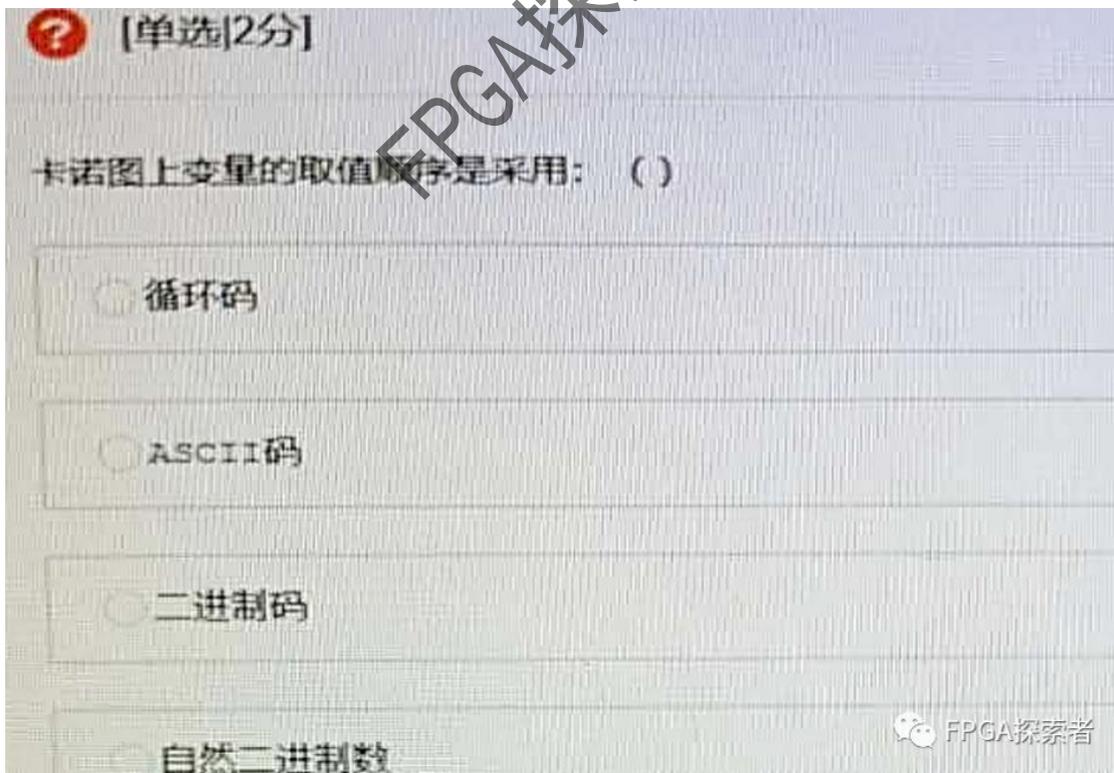
时域周期，频域离散。

时域非周期，频域连续。

所以，连续周期时域信号对于离散非周期的频谱。



37. 卡诺图上变量的取值顺序是采用 ()



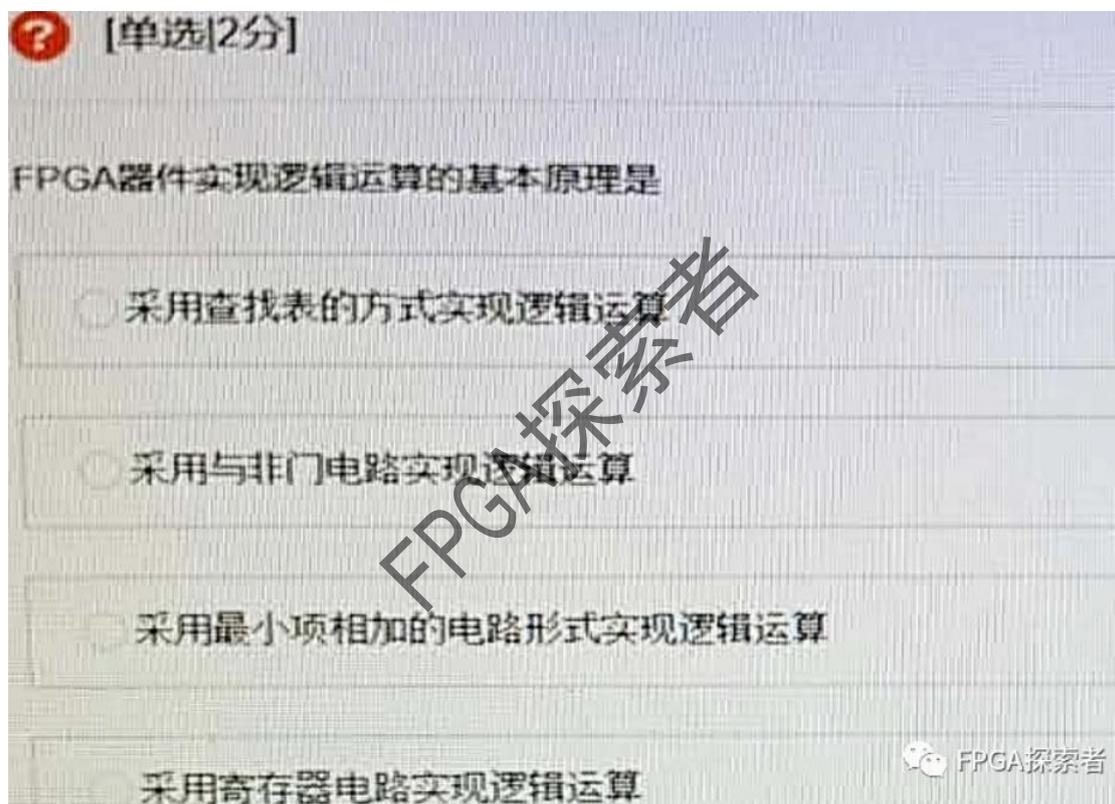
答案：A

知识点：【格雷码】【卡诺图】【循环码】

解析：

格雷码是循环二进制码。

38. FPGA 器件实现逻辑运算的基本原理是 ()



答案：A

知识点：【LUT 查找表】

解析：

FPGA 底层是 LUT 查找表（Look up Table），与非门等门电路在综合后会使用 LUT 实现这些门电路运算逻辑。

39. -55 用 8bit 二进制补码表示为 ()



答案：A

知识点：【补码】【数的表示】【原码】【有符号数表示】

解析：

补码，先求原码，取反，+1。

(1) 55 的二进制原码表示为 0011_0111；

(2) 取反，得到 1100_1000；

(3) 加 1，得到 1100_1001。

HEX	C9
DEC	-55
OCT	311
BIN	1100 1001



Verilog 学习笔记——有符号数的乘法和加法

https://mp.weixin.qq.com/s/114ql_HZY0cSK1cbHZRAjw

40. 带符号数的 9 位二进制数 110000000 表示 ()

? [单选|2分]

带符号数的9位二进制数110000000表示()

-127

127

-128

128



答案：C

知识点：【补码】【数的表示】【原码】【有符号数表示】

解析：

去掉符号位，取反，加 1，加上符号位。

- (1) 去掉符号位，是 8 位的 1000_0000；
- (2) 取反，0111_1111；
- (3) 加 1，1000_0000，是 128；
- (4) 符号位为 1，负数，-128。

1_1000_0001，是-127。



Verilog 学习笔记——有符号数的乘法和加法

https://mp.weixin.qq.com/s/114ql_HZY0cSK1cbHZRAjw

不定项：

1. 全加器包含 ()

FPGA探索者

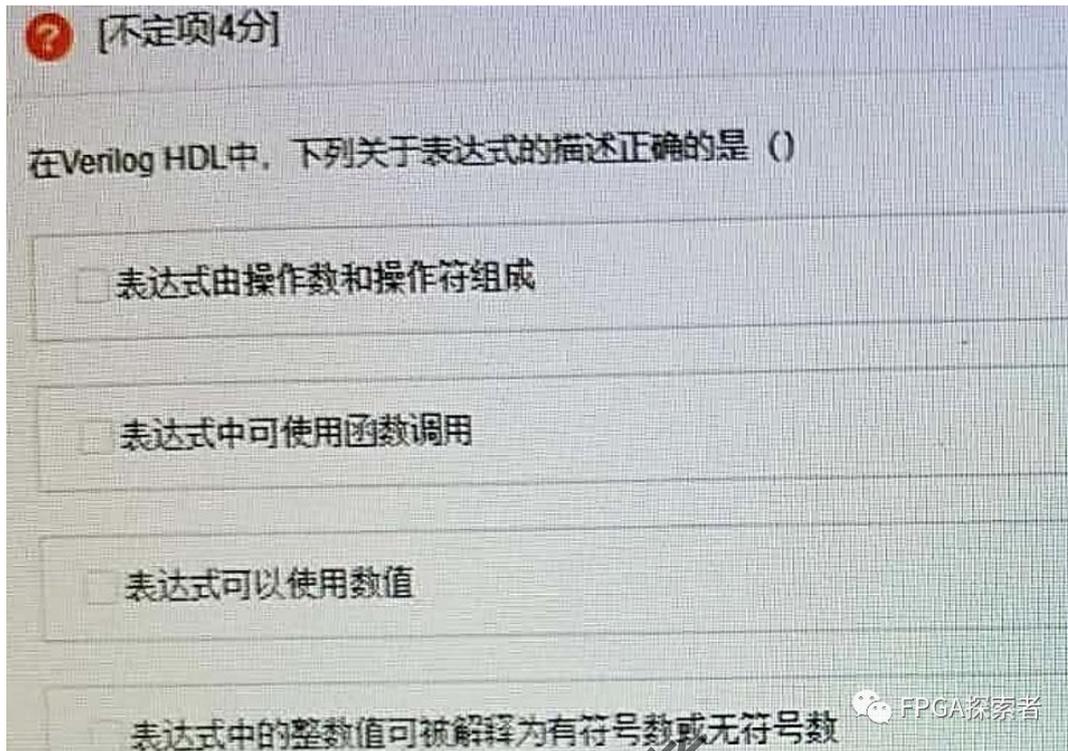


答案：ABCDE

解析：



2. 在 Verilog HDL 中，下列关于表达式的描述正确的是 ()



答案：ABCD

知识点：【操作数操作符】【Verilog 函数】

解析：

表达式是将操作数和操作符联合起来使用的一种Verilog HDL语言结构，通过运算得到一个结果。

□ 表达式可以在出现数值的任何地方使用。

□ 可以引用数组元素或者一个数组元素的位选择/部分，作为一个操作数。

□ 其它操作数的一个连接也可以指定为一个操作数。

□ 一个函数调用也是一个操作数。

FPGA探索者

表达式中的整数值可被解释为有符号数或无符号数。如果表达式中是十进制整数，例如，12 被解释为有符号数。如果整数是基数型整数（定长或非定长），那么该整数作为无符号数对待。下面举例说明。

12 是 01100 的 5 位向量形式（有符号）

-12 是 10100 的 5 位向量形式（有符号）

5'b01100 是十进制数 12（无符号）

5'b10100 是十进制数 20（无符号）

4'd12 是十进制数 12（无符号）

FPGA探索者

函数使用：FPGA 手撕代码——CRC 校验码的多种 Verilog 实现方式

<https://mp.weixin.qq.com/s/OauCAb1k36794j5fO0x2qA>

3. 集成电路保护措施有（）



答案：ABCD（不太确定）

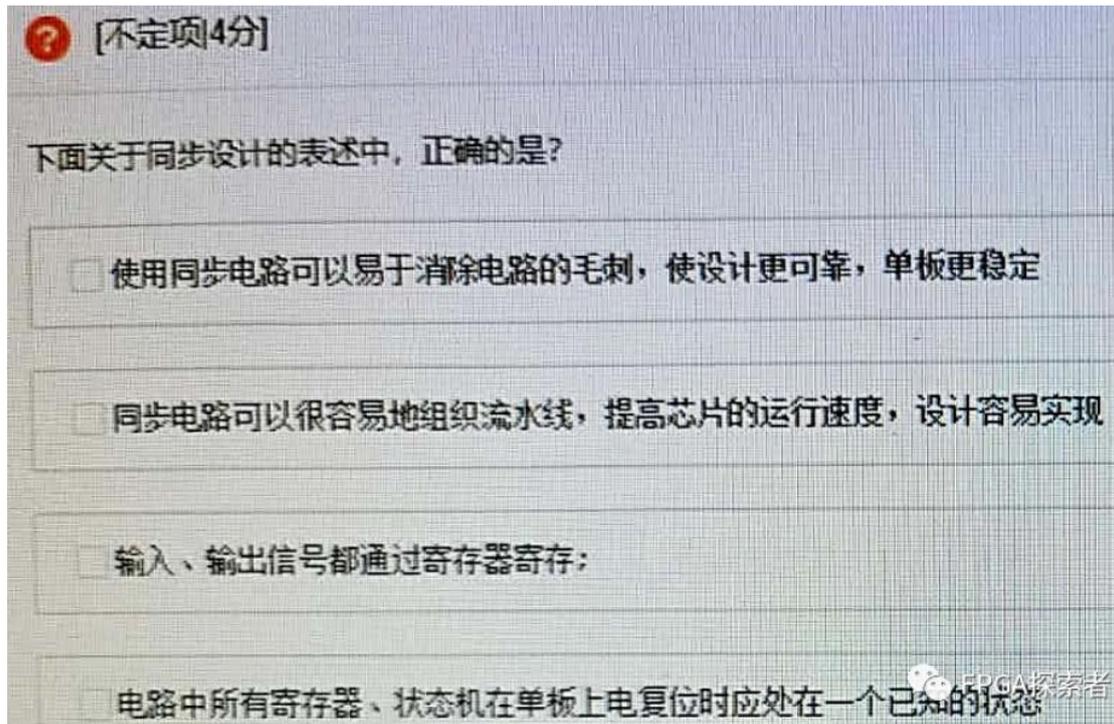
知识点：【限幅输入保护电路】【二极管单向导电保护】【输出端对地保护】【输出端限流保护】

解析：

- (1) 输入电压限幅：限幅输入保护；
- (2) 输入电流限流：输入限流电阻，二极管；
- (3) 电源对地保护：限流，防止短路；
- (4) 输出限流保护：过载限流；

C 不知道对不对，感觉对。

4. 下面关于同步设计的表述中，正确是是？



答案：ABCD

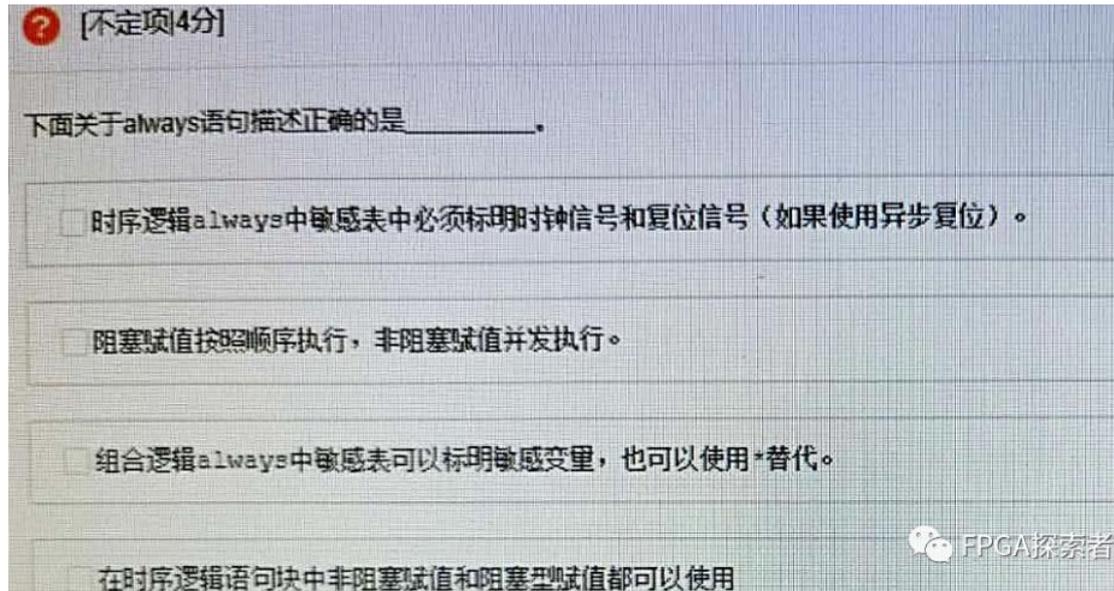
解析：

同步设计的优越性

- 同步电路比较容易使用寄存器的异步复位/置位端，以使整个电路有一个确定的初始状态
- 在可编程逻辑器件中，使用同步电路可以避免器件受温度，电压，工艺的影响，易于消除电路的毛刺，使设计更可靠，单板更稳定
- 同步电路可以很容易地组织流水线，提高芯片的运行速度，设计容易实现
- 同步电路可以很好地利用先进的设计工具，如静态时序分析工具等，为设计者提供最大便利条件，便于电路错误分析，加快设计进度

FPGA探索者

5. 下面关于 always 语句描述正确的是 ()



答案：ABCD

【往期精彩】

FPGA/数字 IC 秋招笔试面试汇总帖 (2022 届)

<https://zhuanlan.zhihu.com/p/353239026>

Xilinx FPGA AXI4 总线 (二) 用实例介绍 5 个读写通道

<https://mp.weixin.qq.com/s/s0DjMCC51BzOCmilwoTI-g>

Xilinx FPGA AXI4 总线 (一) 介绍【AXI4】【AXI4-Lite】【AXI-Stream】

https://mp.weixin.qq.com/s/d63GjTnM8_fc7oXLzXfxzQ

FPGA 手撕代码——CRC 校验码的多种 Verilog 实现方式

<https://mp.weixin.qq.com/s/OauCAb1k36794j5fO0x2qA>

FPGA 中亚稳态【Tsu 建立时间】【Th 保持时间】【Tmet 决断时间】【recovery 恢复时间】【removal 移除时间】

<https://mp.weixin.qq.com/s/BfkBtXKuOwpzoHBz7KGfwg>

FPGA 时序分析之关键路径 (Critical Path)【华为静态时序分析资料】【笔试面试】

https://mp.weixin.qq.com/s/ITWLpsTWI7NsN9IU_5aqRQ

CDC 跨时钟域处理及相应的时序约束【set_clock_groups】【set_max_delay】

<https://mp.weixin.qq.com/s/7jQZ8IncuNWLuiJU9XwXwg>

FPGA 笔试面试题之 FIFO 深度计算【字节跳动】【大疆】【简便计算公式】

<https://mp.weixin.qq.com/s/b7JCsgO4QdiXfsON0A0ECA>

同步后的复位该当作同步复位还是异步复位？——Xilinx FPGA 异步复位同步释放

https://mp.weixin.qq.com/s/_5OaCDH7_xkG1Wz1FCLsjQ

不得不读的 FPGA 设计白皮书——Xilinx FPGA 复位策略白皮书翻译 (WP272)

【FPGA 探索者】

<https://mp.weixin.qq.com/s/4bzarA5tSjUJH4EcXDv6wA>

【欢迎关注：FPGA 探索者】

FPGA探索者

**2021届华为秋招
FPGA逻辑
笔试题解析**



FPGA探索者

FPGA 探索者



微信搜一搜

FPGA探索者

打开“微信 / 发现 / 搜一搜”搜索