

# 谢玉东

**求职意向**  
数字 IC 前端设计  
(SoC 方向)  
(AI 处理器方向)



出生年月: 1998.02      电话: 157-5177-5602  
籍贯: 河南省周口市      邮箱: wxnxybwj@163.com

## 教育背景

2021.09- 至今	南京航空航天大学	集成电路设计 (研究生)	保研
2017.09-2021.06	江苏科技大学	电子信息工程 (本科)	Top1%

## 项目经验

- 卷积神经网络的硬件友好型量化训练研究 (重点实验室基金)**      2022.10-至今  
项目简介: 针对深度学习模型在嵌入式平台上实现在线训练的需求, 开展基于低位宽定点数的模型训练方法和基于FPGA的训练过程加速计算方法研究。  
负责工作: 研究典型CNN的量化训练算法, 并基于ZYNQ MPSoC完成ResNet网络的定点训练。
- 人工智能芯片设计 (嵌入式芯片设计大赛--芯片设计专项赛)**      2022.08-2022.11  
项目简介: 设计一个人工智能IP, AI IP通过NICE接口连至E203内核、通过 ICB 接口连接至system bus总线。完成AI IP的前后端设计和FPGA的功能验证。  
负责工作: 首先对YoLo FasterV2进行全精度训练, 融合Conv和BN后做定点化处理。接着, 根据网络框架进行Verilog代码编写, Python-VCS交互仿真验证, Spyglass代码分析, 覆盖率统计等, 完成AI IP设计。其次, 将AI IP、SRAM与E203进行集成, 搭建FPGA侧功能验证框架。最后, 基于PyQt5完成上位机设计, 完成AI -IP与E203的功能验证。
- 弹性复杂干扰信号轻量化智能对抗处理组合系统 (研究所)**      2021.12-2022.03  
项目简介: 采用基于CNN的干扰识别算法对雷达有源干扰信号进行识别。  
负责工作: 使用ZYNQ MPSoC搭建一个系统, 与CNN IP、上位机进行数据交互。通过以太网接收来自上位机的雷达数据并在PS DDR中进行缓存, 通过AXI\_DMA将数据下行至PL BRAM中。BRAM与CNN IP直接进行数据交互。CNN的识别结果写入BRAM后先经AXI\_BRAM\_Controller上传到PS, 再由PS传输给上位机。
- 人工智能芯片的单粒子效应(SEU)研究 (科研)**      2020.10-2022.04  
项目简介: 基于硬件去设计一个CNN网络, 利用SEU故障注入平台, 对人工智能芯片进行 SEU 评估, 根据评估结果, 对CNN网络进行必要的加固设计。  
负责工作: 使用 Verilog设计一个Lenet-5网络。

## 学术成果

**中文核心:** 《高能效的目标检测硬件加速设计》

## 荣誉证书

- 2022嵌入式芯片与系统设计大赛-芯片设计赛道华东赛区“一等奖”、全国总决赛“三等奖”(1/6)
- 2020蓝桥杯单片机设计与开发省赛“一等奖”, 全国总决赛“一等奖”(个人赛)
- 研究生学业奖学金一等\*3, 新生特别奖学金, 本科特等奖学金\*2、一等奖学金\*1、国家励志奖学金\*2
- CET6(370)、计算机二级证书

## 专业技能

- ◆ 熟悉ASIC设计流程, 具备扎实的数字IC前中端设计经验
- ◆ 熟悉 Verilog, SystemVerilog, Python, C/C++, Tcl 语言
- ◆ 熟悉 ResNet, YoLo等CNN网络结构, 有模型量化基础
- ◆ 熟悉 Vivado, VCS, Verdi, DC, Spyglass等EDA工具
- ◆ 熟悉E203处理器、总线仲裁算法、Cache行为等
- ◆ 良好的设计文档书写和英文手册阅读能力
- ◆ 熟悉 AXI, AHB, APB系统总线、以太网协议