

谢玉东

籍贯：河南省周口市
出生年月：1998.02

电话：15751775602
邮箱：wxnxybwj@163.com

研究方向：数字集成电路设计
求职意向：FPGA 工程师



教育背景

- ◆ 2021.09-2024.04

南京航空航天大学

硕士

专业：集成电路设计 GPA 3.8/5.0

主修：高级片上系统、低功耗数字集成电路设计、可测试性设计
- ◆ 2017.09-2021.06

江苏科技大学

本科

专业：电子信息工程 GPA 4.12/5.0

主修：数电、模电、FPGA、微机原理、嵌入式系统、通信原理
- ◆ 2017.09-2021.06

江苏科技大学

本科

专业：电子信息工程 GPA 4.12/5.0

主修：数电、模电、FPGA、微机原理、嵌入式系统、通信原理

项目经验

- 人工智能芯片的单粒子效应研究（中国航发产学研项目）

主要负责人

2020.10 - 2022.04

项目简介：由于太空中的高能粒子会诱发芯片出现单粒子翻转(SEU)效应，致使芯片功能失效，本项目通过SEU故障注入平台研究AI芯片的抗SEU能力，并对关键电路节点进行加固设计。

负责工作：前期基于FPGA设计实现 Lenet-5 网络，并实现人机交互界面。后期通过软件仿真对 RTL 的 SEU 行为建模，分析各个模块的抗SEU能力，并提出了STMR方案用于加固设计。

完成指标：时钟频率100MHz，识别帧率4000FPS，在SEU的比特错误率低于 10^{-6} 时，由SEU引起的精度下降减少了66.2%。
- 弹性复杂干扰信号轻量化智能对抗处理组合系统（航天二院某所）

主要负责人

2021.12 - 2022.03

项目简介：基于深度学习算法，设计实现雷达有源干扰信号识别系统，利用雷达的距离多普勒算法将接收信号转化为距离多普勒域图像，然后截取干扰最大时延范围内的数据，通过图像预处理得到待识别图像，设计干扰信号识别算法，并对算法进行硬件加速。

负责工作：基于Xilinx Zynq MPSoC，采用软硬件协同设计对算法进行硬件加速。通过UART、TCP、AXI、握手等协议/总线，利用AXI_DMA IP实现PC、PS(DDR)和PL(BRAM)之间的控制和数据通路，UART控制TCP连接的建立与终止，实现高效可靠通信。

完成指标：时钟频率100MHz，识别结果能够实时显示。
- 目标检测 IP 设计（全国大学生嵌入式芯片设计大赛）

第一负责人

2022.08 - 2022.11

项目简介：基于SIMC40nm工艺实现一个AI IP，交付GDSII文件，集成到RISC-V E203 SoC，在FPGA侧完成SoC的功能验证。

负责工作：算法调研、算法优化与量化、架构优化和RTL实现、Python-VCS交互仿真验证、E203 SoC集成、PyQt5上位机开发、FPGA原型验证、覆盖率统计、RTL Lint，协助后端人员实现物理设计。

完成指标：输入图像尺寸224x224x3，系统频率16 MHz（AI IP 关键路径小于10ns）识别帧率10 fps，功耗为0.97mw，面积1.36mm²。其瓶颈之一是E203 core 频率是16MHz；另外，AI IP 访问外部SRAM有3-4个CLK的延时。获华东赛区一等奖、全国三等奖。
- 卷积神经网络的硬件友好型量化训练研究（国家重点实验室基金）

第一负责人

2022.11 - 至今

项目简介：由于模型全精度训练对硬件资源要求高，难以部署于边缘设备，本项目开展基于FPGA的模型定点量化训练方法研究，探索模型量化方法，使用8bit或16bit定点数实现网络前向传播和反向传播的计算。

负责工作：研究典型CNN的量化训练算法，并基于Xilinx ZYNQ MPSoC完成ResNet网络的8bit定点训练。

现有进展：在算法层面，初步确定了Per-Layer 8 bit对称均匀量化方案，采用高层语言验证算法性能。在硬件层面，实现了模型训练核的外围框架，优化了数据通路和DSP48E2资源利用，初步确立了硬件架构，并完成了前向卷积和DSP的控制模块。
- 高速ADC芯片设计

主要参与者

2023.01 - 至今

项目简介：基于TSMC16nm工艺设计实现64路9bit ADC芯片。模拟域实现转换电路，数字域实现ADC校准电路和比较器校准电路。模拟的寄存器阵列和数字的寄存器阵列及SRAM由两路SPI分别控制，一路1GHz，控制数字域逻辑，另一路50MHz，控制模拟域逻辑和比较器。

负责工作：指导并协助完成数字域顶层和SPI控制器的RTL设计，考虑数模接口处的跨时钟域设计，参与DFT设计。

完成指标：预计于2023年10月流片。

学术成果

《电子器件》，中文核心，学生一作：《高效率的目标检测硬件加速设计》
CCF-C (ATS)，导师一作，学生三作：FPGA-Based Cross-Hardware MBU Emulation Platform for Layout-Level Digital VLSI

荣誉证书

- 2022年嵌入式芯片与系统设计大赛-芯片设计赛道全国三等奖、华东赛区一等奖 (1/6)

□ 2020年蓝桥杯单片机设计与开发全国一等奖、江苏赛区一等奖 (个人赛)

□ 2018年江苏省第十五届高等数学竞赛一等奖、全国大学生第十届高等数学竞赛三等奖

□ 研究生学业奖学金一等*3、研究生新生特别奖学金三等、本科奖学金特等*2、一等*1
- 本科校三好学生

□ 本科校优秀毕业生

□ 计算机二级(VC++)

□ CET4

专业技能

- 熟悉ASIC流程，具备扎实的数字IC前端经验、包括CDC、STA等

□ 熟悉Verilog,SVerilog,UVM,Python,C/C++,Tcl,Makefile

□ 熟悉ResNet,YoLo等CNN网络结构，PyTorch，有模型量化基础

□ 熟悉Vivado,VCS,Verdi,DC,Spyglass等EDA工具

□ 熟悉AXI,AHB,APB总线；E203处理器；总线仲裁；Cache基础

□ 良好的设计文档书写和英文手册阅读能力