

# 数字IC设计

## FPGA问题

- FPGA内部常用资源
- BLOCK RAM 有哪两种存储单元
- 分布式RAM
- 查找表LUT原理与结构
- 状态机
  - moore
  - meeley
- 分频
  - 奇分频
    - n-1/2n
    - step[0] | step1[0]
  - 三分频电路
  - 偶分频
    - N/2 - 1 翻转
  - 电路结构
    - 异步复位同步释放

## 代码编写

- 跨时域
- 两级触发器同步--上升下降沿--计数器20ms--状态机 按键检测
- 使能--SCLK2X+时钟--计数时钟33个--case--条件en赋值 ADC
- 波特率--计数--波特率对应时钟--11个时钟--done--uartstate--同步--case USART

## 时序问题

- 概念、图示 Setup Time, Hold Time, Recovery Time, Removal Time, Propagation Time (传播延时), Tmet (决断时间) Transition Time, Minimum Pulse Width
- 最小周期计算
- 跨时序问题
  - 由慢到快
  - 由快到慢
  - 如何同步
    - 单bit
    - 多bit
- FIFO深度计算
- 流水线
- 子主题

## Verilog

- reg和wire区别
- 阻塞非阻塞区别
- function只能与主模块公用一个仿真时间, task可以自己定义时间单位
- task与function区别
  - function不能启动task, 反之可以
  - function至少有一个输入变量, task可以没有或任何变量
  - function返回一个值, task则不返回值
- 层次概念
  - 系统级, 算法级, RTL级, 门级, 开关级
- 任务和函数

## MOS电路

- 与非门 上P并下N串
- 或非门 上串下并
- 非门
- 回路电动势代数和, 电压压降代数和 KVL
- 基尔霍夫定律
- 闭合回路电流代数和等于零 KCL
- 微积分电路
  - 上尖峰+下尖峰 微: 先电容后电阻, 下降曲线
  - 反锯齿形状 积: 先电阻后电容, log上升曲线
- OC门 集电极开路门
- OD漏极开路门
- 电子迁移率大于空穴 P管长宽比比N管大
- 什么是“线与”逻辑
- 触发器与锁存器
  - 定义
  - 区别
  - 触发器传输门, 版图, 电路图

## 功耗

- CMOS功耗分为哪几部分
  - 静态功耗
  - 短路功耗
  - 动态功耗
  - 开关功耗
- 低功耗设计方法和思路
  - 工作模式
  - 门控时钟
    - 子主题 结构电路图 (触发器+与非门+反相器)
    - clock gating 时钟门控技术 通过关闭芯片上暂时用不到的功能和他的时钟, 实现节省电流消耗的目的
  - 多电压供电
  - 多阈值电压

## 名词解释

- ROM, RAM, SRAM, DRAM, SDRAM, EEPROM, DDR
  - NOR读比NAND快
  - NAND写比NOR快
  - NAND容量大
  - NAND坏块多
- DCM, PLL
- 区别 FPGA, CPLD, ASIC
- NOT, NAND, NOR, XNOR, XOR
- 门锁效应
  - 是描述半导体器件内发生的特殊类型短路的一个术语, 形成的寄生结构包含P道MOSFET和N沟MOSFET晶体管, 从而导致寄生的PNPN结构产生, 在MOSFET电路的电源供给线之间会意外形成一个低阻通路, 导致进入低电压大电流状态。这会导致功能中断, 并会产生热奔、过电应力和封装损坏。
- 阈值电压
  - 栅极和源极之间的电压值, 即VGS, 其中足够数量的移动电子在沟道区域中累积以形成导电沟道被称为阈值电压
- 什么是slack
  - slack是特定路径中要求延迟与实际延迟的时间差。Slack可以是正的也可以是负的。

## 数制转换

- 字位字节
  - 1 byte = 8 bit
  - 1 word = 2 byte
- 原码补码反码
  - 补码 -128 ~ 127
  - 127.375 = 0111 1111.011
- 进制转换
  - 八进制 三位一组 十六进制 四位一组
  - (bin\_in >> 1)^bin\_in 右移一位 异或 二进制格雷码
  - 最高位直接赋值, 其他等于对应格雷码与前一位异或 格雷码转二进制
  - 串转并 data <= {data[2:0], d}; q <= data[3:0]
  - 并转串 data <= {data[2:0], data[3]}; q <= data[3]

## Linux

- 复制, 删除, 修改名称, 打包压缩 cp, rm, mv, tar zcvf

## 正则表达式

- \* 0 or more
- + 1 or more
- ? 0 or 1

## FIFO问题

- FIFO计算
  - 公式1 (FIFO深度 / (写速率 - 读出速率) > (写入数量 / 写入速率))
  - 公式2
- 如何判断空满
  - 严格判断 写操作指针 == 读操作指针 且读写回环标志位 相同时为空, 不同时为满
  - 保守判断 方向标志与门限。设定FIFO容量75%作为上线 25%为下限
- 空满同步问题 读写指针转化为格雷码再进行同步

## 总线

- bus 总线是一组承载数据、地址和控制信号的线
- IIC SDA SCL串行半双工, 主机地址识别从机, STAR+数据+应答+SDA低等应答
- SPI 一主多从, MOSI/SDO主输出, MISO/SDI 主输入 全双工
- USART 全双工 一个起始位、一个字节数据、一个奇偶校验位、1-2个停止位
- AHB AMBA V2.0总线规范的一部分, AHB用于高性能高频率的系统结构, 如与ARM相连的 RAM NAND FLASH
- 特性
  - (1) Burst 传输。
  - (2) Split 事务处理。
  - (3) 单周期Master移交。
  - (4) 单一时钟沿操作。
  - (5) 无三态。
  - (6) 更宽的数据总线配置 (64bit/128bit)。
- PCIE 高速串行计算机扩展总线标准, 它原来的名称为“3GIO” 优势就是数据传输速率高, 另外还有抗干扰能力强, 传输距离远, 功耗低等优点, 目前第四代, 16G T/S
- PXIE PXI继承PCI的电气信号, PXIe总线在PCIe基础上发展起来, 精度提高带宽提高

## 时序约束

- Clock to setup 起点是源触发器的clk端, 终点是目的触发器的数据D端
- clock to pad 起点是源触发器的clk端, 终点是芯片的输出引脚
- pad to setup 起点是芯片的输入信号端口, 终点是同步电路模块 (触发器, 锁存器, RAM)
- pad to pad 起点是芯片输入信号端口, 终点是芯片输出信号端口

## 同步/异步

- 同步逻辑/异步逻辑 因果关系
- 同步电路/异步电路 时钟源、PLL
- 同步复位/异步复位
  - 时钟
  - 区别
    - 异: 毛刺亚稳态
    - 异: 恢复时毛刺亚稳态
    - 同: 脉冲足够宽

## 流程

- ASIC/数字
  - 规格制定 Fabless
  - 详细设计 Fabless
  - HDL编码 RTL代码
  - 仿真验证 Mentor Modelsim Synopsys VCS
  - 前端
    - 综合 Synopsys Design Compiler 约束
    - STA Prime Time 静态时序分析与动态时序模拟区别 穷举法&通常方阵
    - 形式验证 Formality
    - DFT DFT Compiler
    - 布局规划 Astro
  - 后端
    - CTS Physical Compiler
    - 布线 Astro
    - 寄生参数提取 Star-RCXT
    - 物理版图验证 Foundry
- PFGA
  - 系统规划
  - RTL设计
  - 功能仿真
  - 综合、映射、布局布线
  - 时序仿真
  - 板级验证

## 不稳定性

- 竞争冒险
  - 原因
  - 概念
  - 消除方法
  - 判断
    - 实验法
    - 观察法
- 亚稳态
  - 原因 压摆率
  - 解决方法
    - 降低时钟频率
    - 更快FF
    - 引入同步
    - 改善时钟质量
  - 两级触发器防止亚稳态原因
- Clock Jitter和Clock Skew
  - 概念
    - 芯片某一定点时钟周期、加长缩短
    - 布线长度及负载不同, 到达相邻两个时序单元时间不一致
  - 区别
    - 内部、PLL
    - 布线
- 什么情况推导出锁存器 if else不完整; 一开始没有赋值
- MTBF (平均失效间隔时间) 平均无故障工作时间, 指两相邻故障间隔之间