

问答题

1、Signal_a 是 clka (300M) 时钟域的一个单时钟脉冲信号，如何将其同步到时钟域 clkb (100M) 中，并产生出 Signal_b 同步脉冲信号。请用 Verilog 代码描述，并画出对应的时序波形图说明图。

2、用 moore 型状态机实现序列“1101”从右到左的不重叠检测。（注：典型的状态机设计分为 moore 与 mealy 两大类，其中 mealy 状态机的输出不仅与当前状态值有关，而且与当前输入有关；moore 状态机的输出仅与当前状态值有关，而与此时的输入无关）

1) 请画出状态转移图，图中状态用 S0, S1, S2, ... 标识

2) 针对这个具体设计如何衡量验证的完备性？

3、进行一个运算单元的电路设计， $A[7:0] * 11111011$ ，请尽量用最少的资源来实现，写出对应的 RTL 代码。