

-
1. 十进制数-1, 用 4 位二进制表示的原码、补码、反码分别是 ()
A 1001B 0111B 1110B
B 1111B 0111B 1000B
C 1111B 1110B 1000B
D 1001B 1111B 1110B
 2. 下面哪种不属于验证覆盖率
A 状态覆盖率
B 翻转覆盖率
C 条件覆盖率
D 循环覆盖率
 3. 下面哪个不属于跨时钟域数据传递的基本方法
A 使用握手协议
B 使用多级触发器缓冲
C 信号通路上插入 islocation
D 使用 FIFO
 4. 下列功耗措施哪个可以降低峰值功耗
A 静态模块级 clock gating
B memory shut down
C power gating
D 大幅度提高 HVT 比例
 5. 有一个 FIFO 设计, 输入时钟 100Mhz, 输出时钟 80Mhz, 输入数据模式是固定的, 其中 1000 个时钟中有 800 个时钟传输连续数据, 另外 200 个空闲, 请问为了避免 FIFO 下溢/上溢, 最小深度是多少
A 320
B 80
C 160
D 200
 6. 假设一个 2bit 计数器 (计数范围 0-6), 工作在 38M 时钟域下, 要把此计数器的值传递到另一个异步 100M 时钟域, 以下不正确的是
A 使用异步 FIFO
B 锁存+握手信号
C 使用格雷码
D 使用 DMUX 电路
 7. X 和 Y 均为补码表示的二进制, 其中 X=10010010B, Y=10001011B, 下列选项中 X+Y 正确的是
A 110011101B
B 011100011B
C 111100010B
D 100011101B
 8. 时钟的占空比指的是
A 时钟的变化速度
B 时钟的变化范围
C 低脉冲的持续时间与脉冲总周期的比值
D 高脉冲的持续时间与脉冲总周期的比值

9. D 触发器 $T_{setup}=3ns$, $T_{hold}=1ns$, $T_{ck2q}=1ns$,

该 D 触发器最大可运行时钟频率是

- A 1GHZ
- B 250MHZ
- C 500MHZ
- D 200MHZ

10. 逻辑电路低功耗设计中, 无效方法是

- A 采用慢速设计
- B 减少信号翻转
- C 采用较慢速的时钟
- D 提高阈值电压

11. 以下 verilog 运算符优先级由高到低正确的是

- A $!, \&, ^, |, \&\&$
- B $^, !, \&, |, \&\&$
- C $!, |, \&, \&\&, ^$
- D $\&, |, \&\&, ^, !$

12. 在 RTL 设计阶段, 降低功耗的常用设计方法是

- A 门级电路的功耗优化
- B 门控时钟
- C 降低电路漏电流
- D 多阈值电压

13. 下面哪个不是循环关键字

- A repeat
- B forever
- C while
- D fork

14. netlist 一般通过什么手段进行验证其正确性

- A. 随机验证
- B RTL 验证
- C 形式验证
- D 网表验证

15. 下图为组合逻辑 $Y=f(x_1, x_2, x_3, x_4)$ 的真值表, 请根据真值表选择 Y 的逻辑表达式

$x_3x_4 x_1x_2$	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	1	0	0	1
10	1	0	0	1

A $\overline{x_2}x_3 + x_3x_4$

B $\overline{x_2}x_3 + x_1x_3x_4$

C $x_2x_3 + x_1\overline{x_3}x_4$

D $\overline{x_2}x_3 + x_1\overline{x_3}x_4$

16. 无符号二进制除法 1110111B/1001B 的结果是

A 商: 1101B , 余数: 110B

B 商: 1101B , 余数: 110B

C 商: 1101B , 余数: 10B

D 商: 101B , 余数: 10B

17. 组合逻辑电路的冒险现象是由于 () 引起的;

A 电路未达到最简

B 电路存在延时

C 逻辑门类型不同

D 电路有多个输出

【多选】

18. 对解决亚稳态问题有效果的方法是

A 用反应更快速的 DFF

B 改善时钟质量, 用边沿变化快速的时钟信号

C 降低时钟频率

D 引入同步机制, 如加两级触发器

19. 下面 verilog 中哪个或者几个会生成寄存器

A always@ (clk)

reg_a<=reg_b;

B always@(posedge clk)

reg_a<=reg_b;

C always@(posedge clk)

reg_a<=reg_b;

D assign reg_a=reg_b;

20. Supposedly there is a combination circuit between two register driven by a clock .what will you do if the delay of the combinational circuit is greater than clock signal;

A. To reduce clock frequency

B. To increase clock frequency

C. To make it pipelining

D. To make it mulit_cycle

【简答】

21. 解释 setup 和 hold time violation ,并说明解决办法

22. 请描述如下代码，实现加法；

$C=A+B$;

A 是 21bit 无符号数；

B 是 18 位有符号数；

如何实现才能保证正确得到一个不溢出的有符号数 C；

23. 请找出下面异步同步电路当中存在的问题并改正

```
reg reg_aa,reg_ab,reg_ac reg_ad;
```

```
reg reg_ba,reg_bb;
```

```
always@(posedge clk_a)
```

```
reg_ab<=reg_aa;
```

```
always@(posedge clk_a)
```

```
reg_ad<=reg_ac;
```

```
always@(posedge clk_b)
```

```
reg_ba<=reg_ab&_ad;
```

```
always@(posedge clk_b)
```

```
reg_bb<=reg_ba;
```

24. 下图中的电路，器件延时如图标注，将框内电路作为一个寄存器，其有效 setup time=? Hold time=?

